

# PATENT COOPERATION TREATY

EO/US  
PCT/JP98/02870

**PCT**

## NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

United States Patent and Trademark  
Office  
(Box PCT)  
Crystal Plaza 2  
Washington, DC 20231  
ÉTATS-UNIS D'AMÉRIQUE

in its capacity as elected Office

Date of mailing: 07 January 1999 (07.01.99)	
International application No.: PCT/JP98/02870	Applicant's or agent's file reference: E4051 - 00
International filing date: 26 June 1998 (26.06.98)	Priority date: 27 June 1997 (27.06.97)
Applicant: KATO, Kazuo et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International preliminary Examining Authority on:  
17 November 1998 (17.11.98)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

<p>The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland</p> <p>Facsimile No.: (41-22) 740.14.35</p>	<p>Authorized officer:</p> <p>J. Zahra</p> <p>Telephone No.: (41-22) 338.83.38</p>
--	--

N 2T  
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

2739

09/4/98 6507

Applicant's or agent's file reference E4051 - 00	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/418)	
International application No. PCT/JP98/02870	International filing date (day/month/year) 26 June 1998 (26.06.1998)	Priority date (day/month/year) 27 June 1998 (27.06.1998)
International Patent Classification (IPC) or national classification and IPC H03L 7/08, 7/113, H03K 17/00, 17/98, G06F 1/04, H03M 1/00, 1/88, G01R 23/06		
Applicant HITACHI, LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of <u>6</u> sheets, including this cover sheet.
<input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).
These annexes consist of a total of _____ sheets.
3. This report contains indications relating to the following items:
I <input checked="" type="checkbox"/> Basis of the report
II <input type="checkbox"/> Priority
III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
IV <input type="checkbox"/> Lack of unity of invention
V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
VI <input type="checkbox"/> Certain documents cited
VII <input type="checkbox"/> Certain defects in the international application
VIII <input type="checkbox"/> Certain observations on the international application

Date of submission of the demand 17 November 1998 (17.11.1998)	Date of completion of this report 30 July 1999 (30.07.1999)
Name and mailing address of the IPEA/JP Japanese Patent Office, 4-3 Kasumigaseki 3-chome Chiyoda-ku, Tokyo 100-8915, Japan Facsimile No.	Authorized officer  Telephone No. (81-3) 3581 1101

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP98/02870

## I. Basis of the report

### 1. With regard to the elements of the international application:\*

- ☒ the international application as originally filed
- ☐ the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the claims:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, as amended (together with any statement under Article 19  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the drawings:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

### 2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

### 3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

### 4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

### 5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP98/02870

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	2, 3, 6-13, 15, 16, 18-31	YES
	Claims	1, 4, 5, 14, 17	NO
Inventive step (IS)	Claims	8, 26	YES
	Claims	1-7, 9-25, 27-31	NO
Industrial applicability (IA)	Claims	1-31	YES
	Claims		NO

### 2. Citations and explanations

#### 1. Claim 1

Document 1 [JP, 6-112820, A; Fig. 6] cited in the ISR discloses a phase lock circuit that has 1) a first feedback circuit (PLL1) for generating a second clock signal (OUTPUT) whose phase is locked to that of the inputted first clock signal (INPUT), and 2) a second feedback circuit (frequency difference detection circuit 2) that generates the aforementioned second clock signal at a frequency approximately equal to that of the aforementioned first clock signal.

#### 2. Claim 2

Document 3 [JP, 6-303133, A; Fig. 1] cited in the ISR discloses art in which the following are used in a frequency locking loop: 1) two conversion circuits (conversion circuits 1 and 2) for converting the frequencies of two signals into voltages (i.e. each conversion circuit carries out conversion for one of the signals); 2) an adder (subtractor 3) that adds the outputs from the two conversion circuits.

Furthermore, as can be seen from the disclosures in document 2 [JP, 8-139597, A; Figs. 1 and 4], the following constitute well-known art: 1) in the case of a phase lock circuit provided with a frequency control section (compensating circuit 15), using a current-controlled oscillator (ring-oscillator-type current oscillator 22); 2) using a conversion circuit that converts the frequency of a signal into a current (note that in Fig. 4, the frequency of input signal CIN is converted into current Ic) as the frequency control section.

It is considered that a person skilled in the art could easily have invented the invention of claim 2 based on the invention of document 1 and the well-known art disclosed in documents 3 and 2.

#### 3. Claim 3

It is considered that a person skilled in the art could easily have invented the invention of claim 3 based on the invention of document 1 and the well-known art disclosed in document 3.

#### 4. Claims 4, 5

It is considered that the invention of claims 4 and 5 is the same as that of document 1.

#### 5. Claim 6

It is considered that the invention of claim 6 is essentially the same as that disclosed in claim 2, and thus that it could easily have been invented by a person skilled in the art based on the invention disclosed in document 1 and the well-known art disclosed in documents 3 and 2.

#### 6. Claim 7

It is considered that the invention of claim 7 is essentially the same as that disclosed in claim 3,

**Supplemental Box**

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of Box V (Citations and explanations):

and thus that – as with the invention disclosed in claim 3 – it could easily have been invented by a person skilled in the art based on the invention disclosed in document 1 and the well-known art disclosed in document 3.

**7. Claim 9**

The document [JP, 7-234741, A (Toshiba Corporation), 5 September, 1995; Fig. 1; (Family: none)], which was not cited in the ISR (this document shall be referred to as 'document 10' for the sake of convenience), discloses an information processor that has 1) a clock generating section (clock oscillator 5 and variable frequency divider 6), 2) a clock control section (output port 10) that controls the clock signal outputted from the clock generating section, and 3) a logic section (CPU3) that processes data based on the clock signal generated by the clock generating section.

Moreover, document 1 discloses a well-known clock generating means comprised of 1) a first control signal generating section (PC11) that generates the first control signal, which represents the phase difference between an input signal and an output signal, 2) a second control signal generating section (DFD2) that generates the second control signal based on the input signal and the output signal, and 3) a clock signal generating section (VCO15) that outputs a clock signal based on the aforementioned first control signal and second control signal.

It is considered that there would be no especial difficulty in adopting the above-mentioned well-known clock generating means as the clock generating section of the invention disclosed in document 10.

**8. Claim 10**

The clock control section (output port 10) of document 10 also controls the clock signal based on a control signal provided from the outside (see the disclosures in document 10, page 3, left column, lines 13-16).

**9. Claim 11**

It is considered that the invention of claim 11 is essentially the same as that disclosed in claim 9, and thus that it could easily have been invented by a person skilled in the art based on the invention disclosed in document 10 and the well-known art disclosed in document 1.

**10. Claim 12**

It is considered that the invention of claim 12 is essentially the same as that disclosed in claim 10, and thus that it could easily have been invented by a person skilled in the art based on the invention disclosed in document 10 and the well-known art disclosed in document 1.

**11. Claim 13**

As can be seen from the disclosures in the document [JP, 63-25715, A (Hitachi Microcomputer Engineering Ltd.), 3 February, 1988; Fig. 1; (Family: none)], which was not cited in the ISR (this document shall be referred to as 'document 11' for the sake of convenience), the following constitute well-known art: 1) operating the clock generating section (OSC) and the circuit to which the clock signal outputted from the clock generating section is provided (LOG) at different power supply voltages (V1, V2); 2) providing an interface means (LS) for transmitting the clock signal.

It is considered that there would be no especial difficulty in applying this well-known art disclosed in document 11 and the well-known art disclosed in document 1 to the invention disclosed in document 10.

**12. Claim 14**

Document 10 discloses an information processing system that has 1) an information processing device (CPU) that processes data based on a clock frequency, and 2) a circuit that is connected to the information processing device and outputs the internal state (voltage detector 7 and input port 8); the clock frequency of the information processing device can be varied based on the aforementioned internal

**Supplemental Box**

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of Box V (Citations and explanations):

state.

## 13. Claims 15, 16

It is considered that the invention of claims 15 and 16 could easily have been invented by a person skilled in the art based on the invention disclosed in document 10 and the well-known art disclosed in document 1.

## 14. Claim 17

The invention disclosed in document 10 also changes the clock frequency based on the residual power supply capacity.

## 15. Claims 18, 22

Document 5 [JP, 3-212022, A; Fig. 3] discloses a switching circuit composed of a current switch (MOS transistor Q11) for which the control electrode is forward biased, and a voltage switch (transistor Q10) for which the output is connected to the low voltage electrode side of the current switch.

Moreover, as can be seen from the disclosures in document 6 [JP, 2-154521, A; Fig. 1], using complementary output voltage switches (T1 and T2) as the voltage switches for driving a current switch (T3) constitutes well-known art.

It is considered that the inventions of claims 18 and 22 could easily have been invented by a person skilled in the art based on the invention disclosed in document 5 and the well-known art disclosed in document 6.

## 16. Claim 19

The current switch (Q11) of the invention disclosed in document 5 is also such that a constant current flows during continuity.

## 17. Claim 20

As can be seen from the disclosures in the document [JP, 5-102830, A (NEC IC Microcomputer Systems Ltd.), 23 April, 1993; Fig. 1; (Family: none)], which was not cited in the ISR (this document shall be referred to as 'document 12' for the sake of convenience), the provision of voltage dropping means (resistors 7 and 8) between the power-supply-side electrodes of voltage switches (transistors 5 and 6) and the power supply is well known.

It is considered that the invention of claim 20 could easily have been invented by a person skilled in the art based on the invention disclosed in document 5 and the well-known art disclosed in documents 6 and 12.

## 18. Claim 21

As can be seen from the disclosures in the document [JP, 6-120802, A (NEC IC Microcomputer Systems Ltd.), 28 April, 1994; Fig. 1; (Family: none)], which was not cited in the ISR (this document shall be referred to as 'document 13' for the sake of convenience), connecting an amplitude adjustment means (transistor 105) to the outputs of voltage switches (transistors 101 and 102) constitutes well-known art.

It is considered that the invention of claim 21 could easily have been invented by a person skilled in the art based on the invention disclosed in document 5 and the well-known art disclosed in documents 6 and 13.

## 19. Claim 23

As can be seen from the disclosures in document 12, comprising a voltage switch of a CMOS inverter constitutes well-known art.

## 20. Claim 24

Document 8 [JP, 63-194419, A; Figs. 1 and 3] discloses a phase lock loop circuit equipped with 1)

**Supplemental Box**

(To be used when the space in any of the preceding boxes is not sufficient)

**Continuation of Box V (Citations and explanations):**

phase comparing circuit 10, which has two output terminals, 2) charge pump circuit 20, which responds to the output from the phase lock loop circuit and charges/discharges the capacitor of a low pass filter, and 3) oscillator 40, which is controlled by the control voltage signal generated by charge pump circuit 20. Charge pump circuit 20 is equipped with two current switches that charge/discharge the aforementioned capacitor in line with two signals outputted from the phase comparing circuit; each of these current switches is equipped with a current switch means (transistors 23 and 24) and a voltage switch means (inverters 21 and 22).

Furthermore, with regard to the adoption of a current switch for which the control electrode is forward biased as the current switch means, see Fig. 3 in document 5 (transistor Q11).

It is considered that the invention of claim 24 could easily have been invented by a person skilled in the art based on the invention of document 8 and the well-known art disclosed in document 5.

**21. Claim 25**

Document 7 [JP, 3-235425, A; Fig. 2] discloses a D/A inverter that is equipped with a number of current switching circuits that 'have binary weightings' (S0~S7); specifically, one current switching circuit is provided for each bit of a digital input signal.

Document 5 discloses a current switching circuit composed of a current switch (Q11) for which the control electrode is forward biased, and a voltage switch (Q10) for which the output is connected to the low voltage side electrode of the current switch.

Moreover, as can be seen from the disclosures in document 6, the use of complementary voltage switches (T1 and T2) as voltage switches is well known.

It is considered that the invention of claim 25 could easily have been invented by a person skilled in the art based on the invention of document 7 and the well-known art disclosed in documents 5 and 6.

**22. Claim 27**

The current switch (Q11) in the invention disclosed in document 5 is also a MOS transistor.

It is considered that the invention of claim 27 could easily have been invented by a person skilled in the art based on the invention of document 5 and the well-known art disclosed in documents 6 and 12.

**23. Claim 28**

As can be seen from the disclosures in document 12, comprising a voltage switch of a CMOS inverter constitutes well-known art.

Accordingly, it is considered that the invention of claim 28 could easily have been invented by a person skilled in the art based on the invention of document 5 and the well-known art disclosed in documents 6 and 12.

**24. Claim 29**

The current switch (Q11) in the invention disclosed in document 5 is also a MOS transistor.

It is considered that the invention of claim 29 could easily have been invented by a person skilled in the art based on the invention of document 5 and the well-known art disclosed in documents 6 and 13.

**25. Claim 30**

As can be seen from the disclosures in document 12, comprising a voltage switch of a CMOS inverter constitutes well-known art.

Accordingly, it is considered that the invention of claim 30 could easily have been invented by a person skilled in the art based on the invention of document 5 and the well-known art disclosed in

**INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

International application No.

PCT/JP98/02870

**Supplemental Box**

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of Box V (Citations and explanations):

documents 6, 13 and 12.

**26. Claim 31**

As can be seen from the disclosures in document 12, comprising a voltage switch of a CMOS inverter constitutes well-known art.

Accordingly, it is considered that the invention of claim 31 could easily have been invented by a person skilled in the art based on the invention of document 5 and the well-known art disclosed in documents 6 and 12.

E4051

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02870

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>6</sup> H03L7/113, H03K17/30, G06F1/04, H03M1/80

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> H03L7/08-7/113, H03K17/00-17/98, G06F1/04, H03M1/00-1/88,  
G01R23/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1998 Toroku Jitsuyo Shinan Koho 1994-1998  
Kokai Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-112820, A (Hitachi, Ltd.), 22 April, 1994 (22. 04. 94), Fig. 1 (Family: none)	1, 4, 5
Y	JP, 6-112820, A (Hitachi, Ltd.), 22 April, 1994 (22. 04. 94), Fig. 1 (Family: none)	2, 3, 6, 7, 9-17
Y	JP, 8-139597, A (Hitachi, Ltd.), 31 May, 1996 (31. 05. 96), Figs. 1, 4 (Family: none)	2, 6
Y	JP, 6-303133, A (Oki Electric Industry Co., Ltd.), 28 October, 1994 (28. 10. 94), Fig. 1 (Family: none)	3, 7
Y	JP, 6-202763, A (Matsushita Electric Industrial Co., Ltd.), 22 July, 1994 (22. 07. 94), Figs. 1, 2 (Family: none)	9-17, 25

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	* "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	* "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	* "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	* "&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 September, 1998 (10. 09. 98)	Date of mailing of the international search report 22 September, 1998 (22. 09. 98)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02870

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 3-212022, A (Matsushita Electric Industrial Co., Ltd.), 17 September, 1991 (17. 09. 91), Fig. 3 (Family: none)	18-23, 24, 25, 27-31
Y	JP, 2-154521, A (Mitsubishi Electric Corp.), 13 June, 1990 (13. 06. 90), Fig. 1 (Family: none)	18-23, 24, 25, 27-31
Y	JP, 3-235425, A (Fujitsu Ltd.), 21 October, 1991 (21. 10. 91), Fig. 2 (Family: none)	25
Y	JP, 63-194419, A (Hitachi, Ltd.), 11 August, 1988 (11. 08. 88), Figs. 1, 3 (Family: none)	24

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02870

## Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions stated in for example, claims 1, 14, 18 and 25 are not a group of inventions having common essential parts and achieving the same purpose, and therefore they are considered as different inventions.

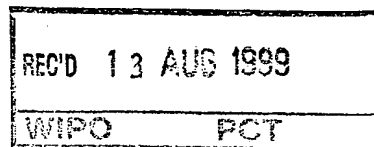
1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.  
☐ No protest accompanied the payment of additional search fees.

PCT

国際予備審査報告

(法第12条、法施行規則第56条)  
[PCT36条及びPCT規則70]



出願人又は代理人 の書類記号 E4051-00	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/J P98/02870	国際出願日 (日.月.年) 26.06.98	優先日 (日.月.年) 27.06.97
国際特許分類(IPC) Int Cl <sup>6</sup> H03L 7/08-7/113, H03K17/00-17/98 G06F1/04, H03M 1/00-1/88, G01R 23/06		
出願人(氏名又は名称) 株式会社 日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 6 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で          ページである。

3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
  - II ☐ 優先権
  - III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
  - IV ☐ 発明の単一性の欠如
  - V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
  - VI ☐ ある種の引用文献
  - VII ☐ 国際出願の不備
  - VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 17.11.98	国際予備審査報告を作成した日 30.07.99	
名称及びあて先 日本国特許庁(IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員)  彦田 克文  電話番号 03-3581-1101 内線 3575	5W 9182

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT 14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 \_\_\_\_\_ 項、 出願時に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 PCT 19条の規定に基づき補正されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 図面 第 \_\_\_\_\_ ページ/図、 出願時に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	2, 3, 6-13, 15, 16, 18-31	有
	請求の範囲	1, 4, 5, 14, 17	無
進歩性 (IS)	請求の範囲	8, 26	有
	請求の範囲	1-7, 9-25, 27-31	無
産業上の利用可能性 (IA)	請求の範囲	1-31	有
	請求の範囲		無

2. 文献及び説明 (PCT規則70.7)

1. 請求項1について

国際調査報告で挙げた第1の文献 (JP、6-112820、A、第6図) には、入力される第1クロック信号 (INPUT) と位相が同期する第2のクロック信号 (OUTPUT) を生成するための第1の帰還回路 (PLL1) と、前記第1クロック信号とほぼ等しい周波数の前記第2クロック信号を生成する第2帰還回路 (周波数差検出回路2) とを有する位相同期回路が記載されている。

2. 請求項2について

国際調査報告で挙げた文献3 (JP、6-303133、A、第1図) には、周波数同期ループにおいて、2つの信号の周波数を電圧にそれぞれ変換するための2つの変換回路 (1, 2) と、その2つの変換回路の出力を加算する加算器 (減算器3) とを用いる技術が記載されている。

なお、文献2 (JP、8-139597、A、第1図及び第4図) にも記載されているように、一般に周波数制御部 (補償回路15) が設けられた位相同期回路において、電流制御型の発振器 (リングオシレータ型電流発振器22) を採用すること、および、周波数制御部として、信号の周波数を電流に変換する変換回路 (第4図において、入力信号CINの周波数が電流Icに変換されている点を注目されたい。) を用いることは周知技術である。

請求項2の発明は、文献1の発明と、文献3および2に記載された周知技術に基づき、当業者が容易に発明をすることができたものと認められる。

3. 請求項3について

請求項3の発明は、文献1の発明と、文献3に記載された周知技術に基づき、当業者が容易に発明をすることができたものと認められる。

4. 請求項4、5について

請求項4、5の発明は、文献1の発明と同一であると認められる。

5. 請求項6について

請求項6の発明は、請求項2に記載された発明と実質的に同じであるので、文献1に記載された発明と、文献3および2に記載された周知技術とに基づいて当業者が容易に発明をすることができたものと認められる。

6. 請求項7について

請求項7の発明は、請求項3に記載された発明と実質的に同じであるので、請求項3記載の発明と同様、文献1に記載された発明と、文献3に記載された周知技術とに基づいて当業者が容易に発明をすることができたものと認められる。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

## 第 V 欄の続き

## 7. 請求項 9 について

国際調査報告では引用しなかった文献 (J P, 7-234741, A (株式会社東芝), 5. 9 月. 1995, 第 1 図 (ファミリーなし)、この文献を便宜的に「文献 10」と呼ぶ。) には、クロック生成部 (クロック発振器 5 及び可変分周器 6) と、該クロック生成部から出力されるクロック信号を制御するクロック制御部 (出力ポート 10) と、前記クロック生成部で生成されたクロック信号に基づいてデータを処理する論理部 (CPU 3) とを有する情報処理装置が記載されている。

また、文献 1 には、入力信号と出力信号との位相差を表す第 1 制御信号を生成する第 1 の制御信号生成部 (PC11) と、入力信号と出力信号との第 2 制御信号を生成する第 2 の制御信号生成部 (DFD2) と、前記第 1 制御信号および第 2 制御信号に基づいてクロック信号を出力するクロック信号生成部 (VCO15) とから構成された、周知なクロック生成手段が記載されている。

文献 10 に記載された発明におけるクロック生成部として、上記周知なクロック生成手段を採用することに、格別困難性は認められない。

## 8. 請求項 10 について

文献 10 におけるクロック制御部 (出力ポート 10) もまた、外部から供給される制御信号に基づいてクロック信号を制御している。(文献 10 の第 3 頁左欄第 13 行～第 16 行の記載を参照されたい。)

## 9. 請求項 11 について

請求項 11 の発明は、請求項 9 に記載された発明と実質的に同じであるので、文献 10 に記載された発明と、文献 1 に記載された周知技術とに基づいて当業者が容易に発明をすることができたものと認められる。

## 10. 請求項 12 について

請求項 12 の発明は、請求項 10 に記載された発明と実質的に同じであるので、文献 10 に記載された発明と、文献 1 に記載された周知技術とに基づいて当業者が容易に発明をすることができたものと認められる。

## 11. 請求項 13 について

国際調査報告では引用しなかった文献 (J P, 63-25715, A (日立マイクロコンピュータエンジニアリング株式会社), 3. 2 月. 1988, 第 1 図 (ファミリーなし)、この文献を便宜的に「文献 11」と呼ぶ。) にも記載されているように、クロック生成部 (OSC) と、該クロック生成部から出力されるクロック信号が供給される回路 (LOG) とを、異なる電源電圧 (V1, V2) で動作させること、および、クロック信号を伝搬させるためのインターフェース手段 (LS) を設けることは周知技術である。

前記文献 10 に記載された発明に、この文献 11 記載の周知技術および、刊行物 1 記載の周知技術とを適用することに格別困難性は認められない。

## 12. 請求項 14 について

文献 10 には、クロック周波数に基づいてデータ処理を行う情報処理装置 (CPU) と、該情報処理装置と接続され、内部状態を出力する回路 (電圧検出器 7 および入力ポート 8) とを有し、前記情報処理装置は、前記内部状態に基づき、クロック周波数を可変にする情報処理システムが記載されている。

## 13. 請求項 15、16 について

文献 10 記載の発明と、文献 1 に記載された周知技術とに基づいて当業者が容易に発明をすることができたものと認められる

## 14. 請求項 17 について

文献 10 記載の発明もまた、電源の残量に基づいてクロック周波数を変化させている。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V 欄の続き

15. 請求項18、22について

文献5 (JP, 3-212022, A) の第3図には、制御電極を順バイアスした電流スイッチ (MOSトランジスタQ11) と、該電流スイッチの低電圧電極側に出力が接続された電圧スイッチ (トランジスタQ10) とで構成されたスイッチ回路が記載されている。

また、文献6 (JP, 2-154521, A) の第1図にも記載されているように、電流スイッチ (T3) を駆動するための電圧スイッチとして、相補対性出力の電圧スイッチ (T1・T2) を用いることは周知技術である。

請求項18及び22に係る発明は、文献5に記載された発明と、刊行物6に記載された周知技術とに基づき、当業者が容易に発明をすることができたものと認められる。

16. 請求項19について

文献5に記載された発明における電流スイッチ (Q11) もまた、導通時に一定電流を流すものである。

17. 請求項20について

国際調査報告では引用しなかった文献 (JP, 5-102830, A (日本電気アイシーマイコンシステム株式会社), 23. 4月. 1993, 第1図 (ファミリーなし)、この文献を便宜的に「文献12」と呼ぶ。) にも記載されているように、一般に電圧スイッチ (トランジスタ5および6) の電源側電極と電源との間に電圧降下手段 (抵抗7, 8) を設けることは周知である。

請求項20の発明は、文献5の発明および、文献6と12にそれぞれ記載された周知技術に基づいて、容易に発明ができたものと認められる。

18. 請求項21について

国際調査報告では引用しなかった文献 (JP, 6-120802, A (日本電気アイシーマイコンシステム株式会社), 28. 4月. 1994, 第1図 (ファミリーなし)、この文献を便宜的に「文献13」と呼ぶ。) にも記載されているように、一般に電圧スイッチ (トランジスタ101および102) の出力に振幅調節手段 (トランジスタ105) を接続することは周知技術である。

請求項21の発明は、文献5の発明および、文献6と13にそれぞれ記載された周知技術に基づいて、容易に発明ができたものと認められる。

19. 請求項23について

文献12にも記載されているように、電圧スイッチをCMOSインバータで構成することは周知技術である。

20. 請求項24について

文献8 (JP, 63-194419, A) の第1, 3図には、2つの出力端子を持つ位相比較回路 (10) と、該位相比較回路の出力にตอบสนองし、ローパスフィルタのキャパシタを充放電するチャージポンプ回路 (20) と、該チャージポンプ回路で生成された制御電圧信号で制御される発振器 (40) とを備えた位相同期ループ回路であって、前記チャージポンプ回路は、位相比較回路から出力される2つの信号に従って、前記キャパシタを充放電する2つの電流スイッチを備え、その2つのスイッチは、それぞれ、電流スイッチ手段 (トランジスタ23, 24) および電圧スイッチ手段 (インバータ21, 22) とを備えた位相同期ループ回路が記載されている。

なお、電流スイッチ手段として、制御電極を順バイアスした電流スイッチを採用する点は、文献5の第3図 (トランジスタQ11) を参照されたい。

請求項24の発明は、文献8の発明および文献5に記載された周知技術に基づいて、容易に発明ができたものと認められる。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V 欄の続き

21. 請求項25について

文献7(JP, 3-235425, A)の第2図には、入力デジタル信号の各ビットに対応して設けられた複数の「2進で重み付けがなされた」電流スイッチ回路(S0~S7)を備えたD/A変換器が記載されている。

文献5には、制御電極を順バイアスした電流スイッチ(Q11)と、該電流スイッチの低電圧側電極に出力が接続された電圧スイッチ(Q10)とで構成された電流スイッチ回路が記載されている。

また、文献6にも記載されているように、電圧スイッチを相補対性の電圧スイッチ(T1, T2)を用いることは周知である。

請求項25の発明は、文献7の発明および文献5、6にそれぞれ記載された周知技術に基づいて、容易に発明ができたものと認められる。

22. 請求項27について

文献5に記載された発明における電流スイッチ(Q11)もMOSトランジスタで。

請求項27の発明は、文献5の発明および、文献6と12にそれぞれ記載された周知技術に基づいて、容易に発明ができたものと認められる。

23. 請求項28について

文献12にも記載されているように、電圧スイッチをCMOSインバータで構成することは周知技術である。

よって請求項28の発明は、文献5の発明および、文献6と12にそれぞれ記載された周知技術に基づいて、容易に発明ができたものと認められる。

24. 請求項29について

文献5に記載された発明における電流スイッチ(Q11)もMOSトランジスタで。

請求項29の発明は、文献5の発明および、文献6と13にそれぞれ記載された周知技術に基づいて、容易に発明ができたものと認められる。

25. 請求項30について

文献12にも記載されているように、電圧スイッチをCMOSインバータで構成することは周知技術である。

よって請求項30に係る発明は、文献5の発明および、文献6、13、12にそれぞれ記載された周知技術に基づいて、容易に発明ができたものと認められる。

26. 請求項31について

文献12にも記載されているように、電圧スイッチをCMOSインバータで構成することは周知技術である。

よって請求項31に係る発明は、文献5の発明および、文献6、12にそれぞれ記載された周知技術に基づいて、容易に発明ができたものと認められる。

P C T



## 国際調査報告

(法 8 条、法施行規則第40、41条)

〔PCT 18条、PCT規則43、44〕

出願人又は代理人 の書類記号 E 4 0 5 1 - 0 0	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/J P 98/02870	国際出願日 (日.月.年) 26.06.98	優先日 (日.月.年) 27.06.97
出願人(氏名又は名称) 株式会社 日立製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT 18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 4 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

2. ☒ 発明の単一性が欠如している(第II欄参照)。

3. ☐ この国際出願は、ヌクレオチド及び/又はアミノ酸配列リストを含んでおり、次の配列リストに基づき国際調査を行った。

☐ この国際出願と共に提出されたもの

☐ 出願人がこの国際出願とは別に提出したもの

☐ しかし、出願時の国際出願の開示の範囲を越える事項を含まない旨を記載した書面が添付されていない

☐ この国際調査機関が書換えたもの

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

## 第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの1の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの2の続き)

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

例えば請求の範囲第1項と第14項と第18項と第25項にそれぞれ記載された発明は、共通の主要部を有し、かつ同じ目的を達成する発明であるとは認められないため、これらの請求の範囲に記載された発明は、互いに異なる発明であると認められる。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl<sup>6</sup> H03L 7/113、H03K 17/30、G06F 1/04, 301、H03M 1/80

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl<sup>6</sup> H03L 7/08-7/113、H03K 17/00-17/98、G06F 1/04  
H03M 1/00-1/88、G01R 23/06

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1998年  
 日本国公開実用新案公報 1971-1998年  
 日本国登録実用新案公報 1994-1998年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 6-112820, A (株式会社日立製作所), 22, 4 月, 1994 (22. 04. 94) 第1図 (ファミリーなし)	1、4、5
Y	J P, 6-112820, A (株式会社日立製作所), 22, 4 月, 1994 (22. 04. 94) 第1図 (ファミリーなし)	2、3、6、 7、9-17
Y	J P, 8-139597, A (株式会社日立製作所), 31, 5月 1996 (31. 05. 96) 第1、4図 (ファミリーなし)	2、6
Y	J P, 6-303133, A (沖電気工業株式会社), 28, 10 月, 1994 (28. 10. 94) 第1図 (ファミリーなし)	3、7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技术水準を示すもの  
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

10. 09. 98

国際調査報告の発送日

22.09.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

彦田 克文



5 J

9182

電話番号 03-3581-1101 内線 3537

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 6-202763, A (松下電器産業株式会社), 22, 7月, 1994 (22.07.94) 第1, 2図 (ファミリーなし)	9-17, 25
Y	J P, 3-212022, A (松下電器産業株式会社), 17, 9月, 1991 (17.09.91) 第3図 (ファミリーなし)	18-23, 24, 25, 27-31
Y	J P, 2-154521, A (三菱電機株式会社), 13, 6月, 1990 (13.06.90) 第1図 (ファミリーなし)	18-23, 24, 25, 27-31
Y	J P, 3-235425, A (富士通株式会社), 21, 10月, 1991 (21.10.91) 第2図 (ファミリーなし)	25
Y	J P, 63-194419, A (株式会社日立製作所), 11, 8月, 1988 (11.08.88) 第1, 3図 (ファミリーなし)	24



<p>(51) 国際特許分類6 H03L 7/13, H03K 17/30, G06F 1/04, 1/301, H03M 1/80</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/00903</p> <p>(43) 国際公開日 1999年1月7日(07.01.99)</p>
<p>(21) 国際出願番号 PCT/JP98/02870</p> <p>(22) 国際出願日 1998年6月26日(26.06.98)</p> <p>(30) 優先権データ 特願平9/171470 1997年6月27日(27.06.97) JP 特願平9/248701 1997年9月12日(12.09.97) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 加藤和男(KATO, Kazuo)(JP/JP) 〒319-1106 茨城県那珂郡東海村白方1693-6 Ibaraki, (JP) 佐瀬隆志(SASE, Takashi)(JP/JP) 〒319-1225 茨城県日立市石名坂町一丁目19-1-104 Ibaraki, (JP) 堀田多加志(HOTTA, Takashi)(JP/JP) 〒319-1224 茨城県日立市南高野町3-5-12 Ibaraki, (JP) 青木郭和(AOKI, Hirokazu)(JP/JP) 〒192-0041 東京都八王子市中野上町1-30-4 レジデンス増田401 Tokyo, (JP)</p>	<p>栗田公三郎(KURITA, Kozaburo)(JP/JP) 〒198-0024 東京都青梅市新町5-13-14 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 浅村 皓, 外(ASAMURA, Kiyoshi et al.) 〒100-0004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)</p> <p>(81) 指定国 JP, KR, US.</p> <p>添付公開書類 国際調査報告書</p>	
<p>(54)Title: PHASE LOCK CIRCUIT, INFORMATION PROCESSOR, AND INFORMATION PROCESSING SYSTEM</p> <p>(54)発明の名称 位相同期回路、情報処理装置及び情報処理システム</p> <p>(57) Abstract</p> <p>A PLL circuit operable in a wide band comprises two loops, i.e. a loop for feeding the output of an oscillator back to the oscillator through a proportional control section, and a loop for feeding the output of the oscillator back to the oscillator through an integral control section. The proportional control section controls the output frequency of the oscillator and produces a control signal from the difference between the input and output signals. The integral control section controls the phase of the output signal of the oscillator and produces a control signal from the phase difference between the input and output signals. The integral control section for locking the phase by applying a current-controlled oscillator to the PLL circuit comprises a phase comparator, charge pump circuit, a V/I conversion circuit, and a T/I converter. A current switch circuit comprising a current switch having a forward-biased control electrode and a voltage switch used for driving the complementary output current switch and having an output connected to the low voltage side electrode of the current switch is applied to the current switch for the charge pump circuit and the T/I conversion circuit.</p> <div data-bbox="600 1281 1494 1711"> </div> <div data-bbox="779 1722 1380 1858"> <p>100 ... Oscillator</p> <p>2000 ... Integral control section (phase control)</p> <p>3000 ... Proportional control section (frequency control)</p> </div>		

広帯域で動作可能なPLL回路を実現するために、PLL回路を発振器からの出力を比例制御部を介して発振器へフィードバックするループと、発振器からの出力を積分制御部を介して発振器へフィードバックするループとの2つのループにより形成する。比例制御部は発振器の出力周波数を制御するためのものであり、入力信号と出力信号との差から制御信号を生成する。また、積分制御部は、発振器の出力信号の位相を制御するものであり、入力信号と出力信号との位相差から制御信号を生成する。更に、PLL回路に電流制御型発振器を適用し位相を同期させるための積分制御部を位相比較器とチャージポンプ回路、V/I変換回路、T/I変換器により構成する。そして、制御電極を順バイアスした電流スイッチと、電流スイッチの低電圧側電極に出力が接続された、相補対性出力の電流スイッチ駆動用電圧スイッチから構成した電流スイッチ回路をチャージポンプ回路、T/I変換回路の電流スイッチに適用する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BJ	ベナン	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BR	ブラジル	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
BY	ベラルーシ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CA	カナダ	IE	アイルランド	MW	マラウイ	US	米国
CF	中央アフリカ	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CG	コンゴ	IN	インド	NE	ニジェール	VN	ヴェトナム
CH	スイス	IS	アイスランド	NL	オランダ	YU	ユーゴスラビア
CI	コートジボアール	IT	イタリア	NO	ノールウェー	ZW	ジンバブエ
CM	カメルーン	JP	日本	NZ	ニュー・ジーランド		
CN	中国	KE	ケニア	PL	ポーランド		
CU	キューバ	KG	キルギスタン	PT	ポルトガル		
CY	キプロス	KP	北朝鮮	RO	ルーマニア		
CZ	チェコ	KR	韓国	RU	ロシア		
DE	ドイツ	KZ	カザフスタン	SD	スーダン		
DK	デンマーク	LC	セントルシア	SE	スウェーデン		
EE	エストニア	LI	リヒテンシュタイン	SG	シンガポール		
ES	スペイン						

## 明 細 書

## 位相同期回路、情報処理装置及び情報処理システム

## 5 技術分野

本発明は制御発振器（VCO／CCO）の線形化制御を行った位相同期ループ（PLL）回路及びそれを用いた情報処理システムに関するもので、マイクロプロセッサに内蔵集積化されたクロック発生回路応用に好適な技術である。また本発明は、電流スイッチ回路に関し、特に、位相同期ループ（PLL）回路、アナ

- 10 ログ・ディジタル（A／D）変換回路、あるいはディジタル・アナログ（D／A）変換回路など、高速なアナログスイッチを必要とする回路に好適な電流スイッチ回路に関する。

## 背景技術

- 位相同期ループ回路（以下PLL回路と称す。）は近年マイクロプロセッサの内蔵クロック発生手段として多用されており、その動作周波数もマイクロプロセッサの応用に従って広範囲、かつ高周波化している。
- 15

このようにPLL回路を広範囲に動作させるためには動作周波数に比例した何らかのバイアス発生、制御手段が必要である。その実現手段として、従来より幾つかの技術の開示がなされている。

- 20 例えば、特開平4-37219号公報には、動作周波数が所定値よりも移動した点ではPLL回路におけるループフィルタ出力電圧も移動するため、ループフィルタ電圧を検出して常に $V_{cc}/2$ に制御するバイアス制御を加えることによって安定した動作を実現する技術が記載されている。さらに、特開平2-230821号公報、特開平8-139597号公報では、PLL回路中の電流制御発振器（以下、CCOと称す。）の動作点設定をCCOと同じ遅延特性を有するレプリカ回路を用いて設定する方法で、入力動作周波数に比例したCCOの動作設定を行い、安定した動作を実現することが記載されている。
- 25

しかしながら上記の従来技術では、PLL回路を広範囲に動作させるために必要な条件としてのCCOの入出力特性を直線的であると見なして回路を構成し、

制御している。しかしながら、一般に高周波領域におけるCCOの入出力特性は非線形特性であり、この場合中心周波数の設定点やCCOの制御利得も非線形になるため広範囲に亘って動作させるとPLLの制御系の主要パラメータが最適設計値から外れ、安定動作させることができない。従って、安定な動作をさせるためにCCOの直線性の良い低周波側に制限して動作させなければならないといった問題があった。

また、一般にPLL回路は入力信号と発振器の発振信号との位相差に応じて発振器を制御するものであるが、この制御を行うためには入力信号と発振信号との周波数差がある一定の範囲から外れるとPLL回路としての機能を果たさない。

10 つまり、入力信号と発振信号との周波数差が制限された範囲でしかPLL回路を適用できないといった問題があった。

一方、この分野におけるLSI技術は、年々、微細化、低電圧化、高周波化が進展しているためCCO特性の飽和、その他の非線形性も年々増大しており、PLL回路における広範囲動作設計の要求実現を著しく困難なものにしている。

15 また、従来よりPLL回路、A/D変換回路、あるいはD/A変換回路などの高速なアナログスイッチを必要とする回路に、カスコードスイッチ回路や低インピーダンスのレベルシフト駆動段を有する電流スイッチ回路が用いられている。レベルシフト駆動段を有する電流スイッチ回路については、シェー・グレイムの「改良されたD/A変換器は変換時間を改善する」イーディエヌマガジン、19

20 71年3月15日号、39-41頁(J.Grame "Monolithic D/A Improves Conversion Time" EDN Magazine, March 15, pp.39-41)に具体例が記載されている。

ところで、上記のカスコードスイッチ回路は、スイッチ・オフ時の寄生容量に起因する時定数のため、スイッチ・オフ時間を十分に短縮することができない。

25 このため、スイッチの高速化を十分に図ることができない。

また、上記のレベルシフト駆動段を有する電流スイッチ回路では、レベルシフト駆動段が複雑（直列素子数が多い）で素子のばらつきの影響を受けやすい。このため、レベルシフト駆動段をエミッタホロワで構成し、該駆動段を高電圧動作させるようにしている。したがって、レベルシフト駆動段を有する電流スイッチ

回路では、LSIの低電圧化を図るのに適していない。低電圧動作させようとすると、スイッチング信号に対して、エミッタ電流の減少方向の駆動インピーダンスが該電流の増加方向の駆動インピーダンスよりも高くなり、スイッチング時間が非対称に長くなってしまふ。このため、スイッチの高速化を十分に図ることができない。

#### 発明の開示

本発明は、このような問題に鑑みてなされたものであり、その第1の目的は、CCOの非線形性に基づく中心周波数設定のずれやループの制御利得の不安定要因を除去し、最適な制御ループパラメータを保持したまま広範囲動作可能なPLL回路を実現することにある。これは、入力される第1のクロック信号と位相が同期する第2のクロック信号を生成するための第1の帰還回路と、入力される前記第1のクロック信号とほぼ等しい周波数の第2のクロック信号を生成する第2の帰還回路とを有することにより達成することができる。

また、入力信号に基づいて出力信号を積分制御するための第1の制御信号を生成する第1の制御信号生成部と、入力信号に基づいて出力信号を比例制御するための第2の制御信号を生成する第2の制御信号生成部と、第1の制御信号と第2の制御信号に基づいてクロック信号を出力する発振器とを有することにより達成することができる。

つまり、位相差によって入力周波数と出力周波数の位相の同期がとれない場合であっても、まず入力周波数と出力周波数の周波数の差を比例制御によってなくすことにより、位相の同期がとれるようになり、広帯域で安定した動作を実現することができる。

また、本発明の第2の目的は、より高精度のループ制御を行うための変換器を提供することにある。これは、入力される信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、カレントミラーフィルタによって構成した変換回路は、入出力特性の直線性を非常に高くすることができるので、この変換回路を使って比例制御部を構成することで、高精度な制御を行うことができる。

また、本発明の第3の目的は、広範囲動作可能なPLL回路を用いて動作環境

に応じて最適なクロック周波数で動作するマイコンを提供することにある。これは、クロック周波数に基づいてデータの処理を行う情報処理装置と、情報処理装置と接続され、内部状態を出力する回路と有する情報処理システムであって、情報処理装置は、周辺回路から出力される内部状態に基づいてクロック周波数を可  
5 変にすることで環境に応じた最適な動作を実行するシステムを実現することができる。

本発明の第4の目的は、スイッチのオン/オフ双方向ともにスイッチ時間を短縮可能な電流スイッチ回路を提供することにある。また、本発明の他の目的は、低電圧動作が可能な電流スイッチ回路を提供することにある。これは制御電極を  
10 順バイアスした電流スイッチと、前記電流スイッチの低電圧側電極に出力が接続された、相補対性出力の前記電流スイッチ駆動用電圧スイッチとを電流スイッチが備えることにより達成することができる。

ここで、電流スイッチとしては、たとえばMOSトランジスタやバイポーラ形トランジスタ、あるいはIGBTなどの半導体スイッチが適用可能である。この  
15 電流スイッチは、定電流回路を構成するようにしてもよい。

また、相補対性出力の電圧スイッチとしては、たとえばCMOSインバータや、バイポーラ相補エミッタホロワなどが適用可能である。

本発明は、前記の構成により、電圧スイッチの入力に「開」方向の制御信号が印加されると、該電圧スイッチの出力は、順バイアスされている電流スイッチの  
20 低電圧側電極電圧を、該電流スイッチを遮断する方向に変化させる。これにより、電流スイッチは、急速に遮断する。

一方、電圧スイッチの入力に「閉」方向の制御信号が印加されると、該電圧スイッチの出力は、電流スイッチの低電圧側電極電圧を導通させる方向に変化させる。これにより、電流スイッチは、急速に導通する。

25 ここで、本発明では、電流スイッチの駆動段として、相補対性出力特性の電圧スイッチを用いている。この相補対性出力特性の電圧スイッチは、高低両出力レベルとも低出力インピーダンスとなるので、スイッチのオン/オフ双方向ともにスイッチ時間を十分に短縮することができる。

また、電流スイッチの駆動段を、相補対性出力特性を有する電圧スイッチで構

成しているので、駆動段の直列素子数を少なくすることができる。このため、低電圧で動作させることができる。

#### 図面の簡単な説明

図 1 は本発明の広帯域 PLL 回路の基本構成を示した図である。

5 図 2 は本発明の広帯域 PLL 回路の構成を示した図である。

図 3 は本発明の広帯域 PLL 回路の比例制御部と発振器の入出力特性を示した図である。

図 4 は本発明の広帯域 PLL 回路の比例制御部の基本構成を示した図である。

図 5 は本発明の電流変換回路と発振回路の回路構成を示した図である。

10 図 6 は本発明の F / I 変換器の回路構成を示した図である。

図 7 A, 7 B はそれぞれ図 6 で示した F / I 変換器の入出力特性を示した図である。

図 8 は本発明の他の F / I 変換器の構成を示した図である。

図 9 は本発明の広帯域 PLL 回路の詳細な構成をブロックで示した図である。

15 図 10 は本発明の広帯域 PLL 回路の回路構成を示した図である。

図 11 は本発明の広帯域 PLL 回路の入出力特性を示した図である。

図 12 は本発明の広帯域 PLL 回路の他の構成を示した図である。

図 13 は本発明の広帯域 PLL 回路を適用したマイクロプロセッサの回路構成を示した図である。

20 図 14 は図 13 のバッテリー状態検出回路の回路構成を示した図である。

図 15 は 2 電源で動作するマイクロプロセッサにおける PLL 回路の第一の配置電源領域を示した図である。

図 16 は図 15 の具体的なマイクロプロセッサの回路構成を示した図。

25 図 17 は 2 電源動作マイクロプロセッサにおける PLL 回路の第二の配置電源領域を示した図である。

図 18 は図 17 の具体的なマイクロプロセッサの回路構成を示した図である。

図 19 は本発明の広帯域 PLL 回路をプロセッサシステムに適用した構成を示した図である。

図 20 は本発明で適用可能な他の発振器の一例を示した図である。

図 2 1 は本発明で適用可能な他の発振器の一例を示した図である。

図 2 2 は本発明で適用可能な他の発振器の一例を示した図である。

図 2 3 は本発明の電流スイッチ回路の概略構成図である。

図 2 4 は図 2 3 に示す電流スイッチ回路の入出力動作波形を示す図である。

- 5 図 2 5 は本発明の広帯域 PLL 回路へ電流スイッチを適用した場合の概略構成図である。

図 2 6 は本発明の電流スイッチ回路が適用された電流加形の D/A 変換回路の概略構成図である。

図 2 7 は本発明の他の電流スイッチ回路の概略構成図である。

- 10 図 2 8 は図 2 8 に示す本発明の第二実施形態の変形例を示す図である。

図 2 9 は本発明の他の電流スイッチ回路の概略構成図である。

図 3 0 は本発明の他の電流スイッチ回路の概略構成図である。

発明を実施するための最良の形態

- 図 1 に本発明の広帯域 PLL 回路を実現するための基本構成を示す。これは、
- 15 比例制御部 3 0 0 0、積分制御部 2 0 0 0、発振器 1 0 0 から構成され、発振器 1 0 0 からの出力を比例制御部 3 0 0 0 を介して発振器 1 0 0 へフィードバックするループと、発振器 1 0 0 からの出力を積分制御部 2 0 0 0 を介して発振器 1 0 0 へフィードバックするループとの 2 つのループを形成している。具体的には、発振器 1 0 0 は比例制御部 3 0 0 0 によって入力信号  $S_{in}$  と発振器の出力信号
- 20  $S_v$  から生成される制御信号  $S_1$  と、積分制御部 2 0 0 0 によって入力周波数  $S_{in}$  と発振器 1 0 0 の出力周波数  $S_v$  から生成される制御信号  $S_2$  との信号によって出力信号  $S_v$  が制御される。

- 本発明の広帯域 PLL 回路において比例制御部 3 0 0 0 は発振器 1 0 0 の出力周波数を制御するためのものであり、入力信号  $S_{in}$  と出力信号  $S_v$  との差から
- 25 制御信号  $S_1$  を生成する。また、積分制御部 2 0 0 0 は、発振器 1 0 0 の出力信号の位相を制御するものであり、入力信号  $S_{in}$  と出力信号  $S_v$  との位相差から制御信号  $S_2$  を生成する。

このように構成した広帯域 PLL 回路は、まず比例制御部 3 0 0 0 により発振器 1 0 0 の出力信号  $S_v$  が入力信号  $S_{in}$  の周波数が同期し、次に、積分制御部

2000により出力信号 $S_v$ が入力信号 $S_{in}$ の位相に同期する。

従って、入力信号と出力信号との周波数の差が大きい場合でも、安定した動作を行うことができる。

以下、本発明の広帯域PLL回路について具体的に説明する。

- 5 図2はより具体的な広帯域PLL回路の構成を示したものである。この広帯域PLL回路は、発振器100として電流制御型発振器（以下、CCOと称す。）を適用したものであり、図1に示した比例制御部3000を2つのF/I変換器300、400と電流加算回路200によって構成し、積分制御部2000を位相比較器700、チャージポンプ回路800により構成したものである。また、
- 10 CCO100の出力周波数 $f_v$ はデューティ比を調整するためのフリップフロップ回路（F/F）150及び分周器600を介して比例制御部3000、積分制御部2000へ帰還されるように構成されている。

- この広帯域PLL回路において、積分制御部2000によるループ動作について説明する。位相比較回路700で入力周波数 $f_{in}$ 及び帰還周波数 $f_{FB}$ の位相を比較し、チャージポンプ回路800で位相差に応じた電流を発生し、電流加算器900を介した電流信号でCCO100を制御する。CCO100から出力される信号はF/F150及び分周器600により $1/N$ に分周されて再び位相比較回路700へ入力され、最終的に出力端子25の位相と入力信号の位相とが同期する。
- 15

- 20 また、比例制御部3000によるループ動作について説明する。入力端子10から入力された入力周波数 $f_{in}$ の入力信号は直線性の優れたF/I変換器400により設定電流 $I_c$ に変換され、電流加算回路200で増幅されて制御電流 $I_v$ となってCCO100に入力される。CCO100は、制御電流 $I_v$ に応じて出力周波数 $f_v$ の出力信号を出力する。この出力信号はF/F150と分周回路600により $1/N$ に分周されてF/I変換器300に入力され出力電流 $I_o$ を出力する。これにより、この制御系は $I_c \approx I_o$ なる点で平衡し、その時に分周回路600の出力端子25の周波数は入力周波数 $f_{in}$ に等しくなる。
- 25

ここで入力側のF/I変換器400および帰還側のF/I変換器300の利得をそれぞれ $K_1$  (MHz/ $\mu$ A),  $K_2$  (MHz/ $\mu$ A) とすると各F/I変換

器 3 0 0, 4 0 0 の入出力間には次の関係式が成立する。

$$I_c = K_1 \cdot f_{in}$$

式 (1)

$$I_o = K_2 \cdot (f_v / N)$$

- 5 また電流加算回路 2 0 0 の制御利得が十分大きいとすると  $I_c = I_o$  となるから式 (2) のようになる。

$$K_1 \cdot f_{in} = K_2 \cdot (f_v / N)$$

式 (2)

$$f_v = (K_1 / K_2) \cdot f_{in}$$

- 10 式 (2) より 2 つの F/I 変換器 3 0 0, 4 0 0 を同一定数の同一回路で作ると  $K_1 / K_2 = 1$  が成立し、この場合  $f_v = N \cdot f_{in}$  となる。つまり式 (2) に示されているように入、出力周波数の関係は  $K_1 / K_2$  の比によって決まるから  $K_1$ 、 $K_2$  が同一特性であれば周波数/電流特性に非線形性があっても全体の特性は線形化されることになる。

- 15 式 (2) で示されるように、この制御系は通常の PLL による位相制御と異なり、周波数の比例制御であるから応答、周波数精度とも F/I 変換器 3 0 0, 4 0 0 によってのみ決まることになるので高速、高精度に制御することができる。

ここで、分周回路 6 0 0、F/I 変換器 3 0 0、4 0 0 の入出力特性は線形動作が保証されているから、CCO 1 0 0 単体の特性が非線形であっても、広帯域

- 20 PLL 回路への入力周波数  $f_{in}$  と CCO 1 0 0 の出力周波数  $f_v$  とは周波数が高くなっても比例した関係になる。更に、入力周波数  $f_{in}$  と帰還周波数  $f_{FB}$  との周波数差が大きくても、比例制御部 3 0 0 0 を含むループにより、高速に帰還周波数  $f_{FB}$  を入力周波数  $f_{in}$  に設定できるので PLL の機能を発揮することができる。

- 25 この他に図 2 に示した広帯域 PLL 回路は、

(1) 入力周波数  $f_{in}$  に比例して正確に CCO 1 0 0 の出力周波数 (中心周波数)  $f_v$  を設定することができる。

(2) 分周回路 6 0 0 を用いてより高い限界的な発振領域で発振させることができる。

(3) 2つのF/I変換器300, 400をペアで用いているため誤差やドリフト等があった場合でも特性は両者の比となり単体の場合よりも誤差は低減される。

(4) 常にF/I変換器300, 400の精度に近い範囲でCCO30の中心周波数がほぼ正確に設定されるため、PLL回路としての引込み時間が短縮される。

5 といった利点を有する。

図3はCCO100単体の入力電流 $I_v$ －出力周波数 $f_v$ 特性と線形化制御入力電流 $I_c$ －出力周波数 $f_v$ 特性とを示したものである。

図3のAはCCO100単体での入出力特性を示したものであり、CCO100の利得 $f_v/I_v$ は電流が大きくなるにつれて飽和により次第に直線性が低下し、1000MHz附近では低周波の1/10以下に直線性が低下している。

図3のBは、図4に示す回路の入出力特性を示したものである。

図4の回路は、図2に示した広帯域PLL回路のうち、CCO100に対する線形化制御部の構成を示したものである。この制御系はCCO100の出力周波数 $f_v$ を入出力特性の直線性の良いF/I変換器300を介して帰還する構成と  
15 している。入力端子15を介して入力電流源500からの入力された設定電流 $I_c$ は、電流加算回路200によって帰還されたF/I変換器の出力電流 $I_o$ と加算される。電流加算回路200により加算された電流は制御電流 $I_v$ としてCCO100に入力され、CCO100はこの制御電流 $I_v$ に応じた周波数 $f_v$ の出力信号を出力する。ここで、電流加算回路200は $I_c$ を正極性、 $I_o$ を負極性として入力し、その差( $I_c - I_o$ )を制御信号 $I_v$ としているので、この制  
20 御系は $I_c - I_o = 0$ となるような状態に制御される。

この制御系の入出力特性は図3のBのような特性となり、CCO100の直線出力範囲は見掛上拡大される。つまり、図4に示した回路の制御系によれば制御利得 $f_v/I_c$ は、ほぼ一定の値をとり、減少が数%以内といったように直線性が非常に優れたものとなる。このように入出力特性の直線性が高いF/I変換器  
25 300により信号を帰還する構成とすることにより、入力である設定電流 $I_c$ と出力周波数 $f_v$ との関係はCCO100の特性には影響されず、線形化することができる。

このように広帯域PLL回路は、入出力特性が広範囲に亘って直線性が保たれ

るF/I変換器300を用いて、出力信号を帰還する構成としているために回路全体としての入出力特性は広範囲に亘って直線性が保たれる。

図5は図4に示した電流加算回路200とCCO100の詳細構成を示したものである。図5において、点線内に示した回路が電流加算回路200である。電流加算回路200はNMOSトランジスタ対Q8, Q9及びPMOSトランジスタQ10、及び小容量のキャパシタC4で構成される。電流加算回路200は2つの入力端子15, 30と1つの出力端子35を有し次のように動作する。

入力端子15に設定電流 $I_c$ を入力し、入力端子30にはF/I変換器300の出力電流 $I_o$ を入力すると $I_c$ ,  $I_o$ の大小関係に応じてトランジスタQ9のドレイン電位が変化する。具体的には $I_c < I_o$ ならトランジスタQ9のドレイン電位が上昇し、 $I_c > I_o$ ならトランジスタQ9のドレイン電位が下降する。従って、 $I_c > I_o$ なら出力端子35の制御電流 $I_v$ は増加し、 $I_c < I_o$ なら出力端子35の制御電流 $I_v$ は減少する。この電流加算回路200の電流利得はトランジスタQ9, Q10のコンダクタンスを $g_{m9}$ ,  $g_{m10}$ とし、トランジスタQ9のインピーダンスを $\gamma_9$ とすると、利得 $\propto g_{m9} \cdot g_{m10} \cdot \gamma_9$ となり、極めて高い利得を実現することができる。

図5において、CCO100はトランジスタ対Q21, Q31, Q22~Q2n, Q32~Q3nの奇数段のCMOSインバータのリングカウンタで構成している。また、リングカウンタの各段のVcc側及びGND側にはトランジスタQ11~Q1n, Q41~Q4nからなる定電流回路が挿入されており、これらの定電流回路はカレントミラー回路を構成するトランジスタQ7, Q5を介して電流加算回路200の出力端子35と接続する。

このように電流加算回路200の電流利得が非常に高いのでCCO100は制御電流 $I_v$ の変化に対して極めて高い感度でCCO100の出力周波数 $f_v$ を変化させることができる。

次にF/I変換器300の詳細な構成について説明する。

図6にF/I変換器300の詳細な回路構成を示す。図6に示すF/I変換器300は、CMOSのプッシュプルインバータInv1とその出力側のキャパシタC<sub>o</sub>で充放電回路を構成しており、その充電電流はトランジスタQ27~Q3

4に至る多段のカレントミラー回路のフィルタを介して出力端子30より出力される構成としている。

インバータInv1の電源側電圧は、常に一定となるように、トランジスタ差動対Q21, Q22及びトランジスタQ23, Q24, Q25, Q26等で構成される差動増幅器Ampで負帰還制御している。なおキャパシタC1はV点の急峻な電圧変化を抑制するための平滑キャパシタである。このようにインバータInv1の電源側電圧はカレントミラー回路を構成するトランジスタQ27, Q28のゲートを介して負帰還制御されるので、Vccを抵抗R1, R2で分圧した電圧の変動をなくし一定電圧とすることができる。

10    このように構成されたF/I変換器300の動作について説明する。

入力端子25からfなる周波数のパルス電圧が入力されると、インバータInv1は入力がhighレベルの時にインバータ出力はlowとなりキャパシタCoは0(V)となる。入力がlowレベルの時にインバータInv1の出力はhighとなりキャパシタCoはV(V)に充電される。以下、周波数fでインバータがlow/highをくり返すと、キャパシタCoは0-V間の充放電を繰り返す。従って、V点よりインバータに供給される電流Iは $I = C_o \cdot V \cdot f$ となって周波数fに比例したパルス電流となる。このようにして得られるパルス電流は波高値が極めて高く、帰還信号として適さない。そこで、このパルス電流を平滑化し、ほぼ完全な直流電流とするためにトランジスタQ27~Q34からなる多段のカレントミラー回路の一次側(Q27, Q29, Q33)と二次側(Q28, Q30, Q34)の間の直線性が広い動作電流密度に亘って保たれるように、一次側と二次側の対称性を良くし、かつ折り返しノードから見たインピーダンスを高くし、それぞれの高インピーダンスのノード(B点, C点)に容量C2, C3の如く平滑キャパシタを挿入する。このように構成されたカレントミラー回路のトランジスタQ27に流れたパルス電流はQ28, Q29を流れてC2で平滑化され、Q30, Q33を流れてC3でさらに平滑化され、最終的にQ34の出力端子30からほぼ完全な直流となって出力される。

20    この構成によれば、広範囲に亘って入力に比例した出力を得ることができる。

25    図7A, 図7Bに上述したF/I変換器300の入出力特性を示す。図7A, 図

7 Bは電源電圧 $V_{cc} = 2.5 \text{ V}$ 、V点の電圧 $= 1.5 \text{ V}$ の場合における入出力特性で、入力周波数 $f$ 及びキャパシタ $C_o$ に比例した出力電流 $I_o$ が得られることがわかる。入力周波数 $f$ に対する直線性も極めて優れ、 $10 \sim 100 \text{ MHz}$ の範囲で $0.5\%$ 以内の直線性が得られる。また、図6のF/I変換器300のフ

5 イルタはリップル、応答の点でも優れ、 $10 \text{ MHz}$ 入力時でもリップルが $0.05\%$ 、 $95.5\%$ の整定が $5 \mu\text{s}$ 以内となる。

また、より制御精度を向上させるためには、2つのF/I変換器300、400の特性を同一にすればよく、例えば図6のF/I変換器で示したように、基準分圧抵抗 $R_1$ 、 $R_2$ を共通にしたり、基準キャパシタ $C_o$ を多数個に分割して配

10 列し、配列した基準キャパシタを交互に2つのF/I変換器300、400のキャパシタに割り当てるようにすることで、キャパシタの配置による依存性を少なくすることができる。

また、二つのF/I変換器300、400の構成をより簡単にすることは、低電圧化や動作のバラツキの点でも有効であるため、より単純化したF/I変換器

15 を図8に示す。

図8のF/I変換器は、図6で用いた差動増幅器Ampを用いないF/I変換器である。このF/I変換器においては、充放電インバータInv1の負荷側のキャパシタ $C_o$ の他端は、充放電インバータInv1の電源端子側と一緒に接続した後、トランジスタQ27、Q28の対からなる第1のカレントミラー回路の

20 入力側へ接続される。更にキャパシタ $C_1$ は第1のカレントミラー回路の入力側トランジスタに並列接続される。更に第1のカレントミラー出力は、トランジスタQ29、Q30に対する第2のカレントミラー回路へ接続され、第2のカレントミラー回路はトランジスタQ33、Q34の対からなる第3のカレントミラー回路へ接続されて出力端子30へ導かれる。各カレントミラーの1次側と2次側

25 との間には電流のリップル分を低減するための各CRフィルタ、 $R_8$ と $C_2$ 、 $R_9$ と $C_3$ 、 $R_{10}$ と $C_4$ が用いられる。この接続回路においては、第1のカレントミラー回路の入力トランジスタに流れる信号電流の変化が比較的少なくでき、従ってインバータInv1の電源側端子電圧を増幅器で定電圧化しない場合でも比較的良好的な直線性（ $10 \sim 100 \text{ MHz}$ で $2\%$ 弱）が得られる。

このように構成されたF/I変換器は、入力端子25にオン/オフの交番電圧が入力されると、インバータInv1を介して、キャパシタC<sub>o</sub>は $V_{c.c} - V_d$  ( $V_d$ : Q27のダイオード順電圧)に充電されトランジスタQ27にはパルス状の電流が流れる。そしてトランジスタQ28にはリップルが低減された二次電  
5 流が流れる。更に第2, 第3のカレントミラー回路によって平滑され、出力端子30から入力周波数に比例した直流出力が得られる。図8に示した回路では差動増幅器を用いないためより低い電源電圧で動作させることができる。

以上のF/I変換器は、キャパシタC<sub>o</sub>の充放電インバータInv1が電源側にあるので第1のカレントミラー回路をPMOS回路にて折り返しているが、充  
10 放電インバータInv1を接地側にした場合には、第1のカレントミラー回路をPMOS回路に変更して順次折り返しても成り立つ。

また、図8のカレントミラーを用いたフィルタは、先の図5と同様三段構成で示したが、CRの時定数を大きくして一段当りのリップル減衰量を大きくすれば、一段でもよい。

15 以上説明した各部の構成に基づいて、図2に示した広帯域PLL回路をより具体的に示した回路を図9に示す。

入力端子10に入力された入力周波数 $f_{in}$ の入力信号は、位相比較器700に入力され、VCOブロックから帰還される周波数 $f_{FB}$ の信号との位相を比較し、アップパルス(TU), ダウンパルス(TD)を出力する。このアップパル  
20 ス(TU), ダウンパルス(TD)は、チャージポンプ回路800に入力され、これにより位相差に応じた信号を出力し、フィルタキャパシタC<sub>F</sub>により電圧V<sub>F</sub>に変換された後、VCOブロックに入力される。

チャージポンプ回路800から出力された電圧V<sub>F</sub>はV/I変換器900で電流に変換され入力制御電流 $\Delta I_1$ として電流加算回路200に入力される。尚、  
25 係数回路910からV/I変換器900へF/I変換器400の出力が入力されているが、これはV/I変換900を調整するためのものである。

この電流加算回路200には、更にF/I変換器400を介して入力周波数 $f_{in}$ に相当する設定電流 $I_c$ と、F/I変換器300を介してフリップフロップ(FF)150の出力周波数 $f_o$ に相当する出力電流 $I_o$ とが入力される。電

流加算回路 200 では、これら入力される電流を加算し、CCO100 の制御電流  $I_v'$  を出力する。

一方、位相比較器 700 から出力されるアップパルス (TU)、ダウNPパルス (TD) は、そのまま VCO ブロックの入力となり、T/I 変換器 950 により安定化のためのリード信号電流  $\Delta I_2$  に変換される。尚、T/I 変換回路 950 は、変換のための調整信号として、制御電流  $I_v'$  を係数回路 b2 を介して入力されるようにしている。

最終的に、電流加算回路 200 によって加算された制御電流  $I_v'$  とリード信号電流  $\Delta I_2$  とが電流加算回路 110 で加算されて、CCO100 の制御電流  $I_v$  として CCO100 に入力される。

このように構成した広帯域 PLL 回路は、PLL の位相引き込み動作に先だって、2 つの F/I 変換器 300 及び 400 の電流突き合わせによって、CCO100 の出力周波数  $f_v$  が F/I 変換器の動作速度及び精度により高速かつ正確に設定される。

その後、入力端子 10 の入力周波数  $f_{in}$  と出力端子 21 の出力周波数  $f_o$  との間に存在する周波数差や位相差が、分周回路 600、位相比較器 700、チャージポンプ回路 800、フィルタ CF、V/I 変換器 900、電流加算回路 200、CCO100 の一巡ループで構成する負帰還サンプリング制御系によって精密に積分制御され、入、出力間の周波数差、位相差はほぼ 0 になる。さらに、位相差がほぼ 0 に合った定常状態で位相比較器 700 の出力が発する極めて狭いアップ (TU)、ダウン (TD) パルスは積分制御の他に、別途リード (比例) 制御として T/I 変換器 950 を介して CCO100 の入力に加えられ、系の安定化のダンピング動作となる。なお、CCO100 に対する制御利得の直線化のため、V/I 変換器 900 の基準は設定電流  $I_c$  側、T/I 変換器 950 の基準は  $I_v'$  側からとっている。これは、PLL 回路の制御に望ましい次の二点を実現していることを意味する。第一は CCO100 の出力周波数の大小に比例して自動的に CCO の制御する範囲が決められることであり、第 2 は CCO100 に飽和等の非線形性があっても、それは CCO100 に入力される制御電流  $I_v$  に反映されるので、高速な信号の制御電流も線形補正される。

図9の各ブロックの詳細回路を図10に示す。ただし図9の位相比較器700とチャージポンプ部800は、ここでは省略している。図10における入、出力側のF/I変換器400, 300の構成及び特性は、先に図6, 図7A, 図7Bに説明したものと同一である。CCO100のリングカウンタAmp1~

- 5 Ampnは、より高周波動作が可能な差動アンプで構成している。リングカウンタAmpの差動出力は出力バッファ120を介して発振周波数fvの信号を出力する。なお、出力バッファ120はQ51~Q55からなる差動シングルエンド変換段、インバータアンプInv3, Inv4で構成している。V/I変換器900はトランジスタQ41~Q44及びバイアスインバータInv2からなる差
- 10 動増幅段で構成しており、その出力はトランジスタQ8のドレン側で設定電流Icに加算している。また、T/I変換器950はトランジスタQ71~Q76なる回路で構成しており、その基準バイアスは電流加算回路200のトランジスタQ11から与えられている。そしてT/I変換器950の入力は端子51, 52より与えられ、出力は電流加算回路200のトランジスタQ13に加えられてい
- 15 る。電流加算回路200の詳細構成、動作については図5と同様であるが、トランジスタQ12及びQ13の接続点にT/I変換回路950の出力が接続されることで電流加算器110を表している。

- V/I変換部900の機能は広帯域PLL回路の位相誤差の積分量に応じた制御電流を発生して発振器CCOに加えることである。その具体的な動作について
- 20 述べると、チャージポンプ800の出力側のフィルタキャパシタCFの端子電圧VF（位相差の積分電圧）はQ41~Q45の差動アンプで電流に変換され、トランジスタ71, 72のカレントミラーを介してCCO100の制御電流Ivに加えられる。

- 広帯域PLL回路の位相制御において系の安定化に必要なリード信号発生はT
- 25 /I変換部950によって発生される。具体的にはトランジスタQ72, Q75の定電流回路とスイッチトランジスタQ73, Q76で構成されている。端子51, 52に位相比較器700からのアップ(TU), ダウン(TD)パルス信号によってQ73, Q76はオンし、その期間のパルス電流は上述した差動のV/I変換器900の出力電流に加算され、CCO100の制御電流となる。

図11に広帯域PLL回路の線形化帰還制御の制御範囲設定特性例を示す。入力及び帰還側のF/I変換器300、400の突き合わせ帰還制御によって、図11に示すように、CCO100に非線形性がある場合にも入力周波数の $f_{in}$ の高( $f_{in}(H)$ )、低( $f_{in}(L)$ )共に直線的に発振周波数 $f_v$ の中心を5 設定することができる。さらに、制御入力の $\pm \Delta I$ 発生基準をCCO100の制御電流 $I_v$ を基にしているため、発振周波数の制御範囲 $\pm \Delta f(L)$ 、 $\pm \Delta f(H)$ はそれぞれの周波数 $f_v(L)$ 、 $f_v(H)$ に比例した範囲で正規化される。このようにCCO100の可変周波数範囲 $\Delta f$ を中心周波数の設定値に比例して設定できることは、広帯域PLL回路においてリークノイズ等の影響を受け易い10 ループフィルタなどのダイナミック回路が分担する可変信号範囲を必要最小限に設計でき、PLL回路による制御のS/N比向上の点で望ましい。

尚、これまでは広帯域PLL回路について電流制御型発振器CCOとF/I変換器により説明してきたが、これは電圧制御型発振器VCOと周波数-電圧変換器(F/V)によっても同様に構成することができる。

15 図12は、電圧制御型発振器VCOとF/V変換器によって構成した広帯域PLL回路を示したものである。比例制御部3000に適用するF/V変換器310、410はいずれもF/I変換器300、400の出力に抵抗を接続した構成としている。これは、F/V変換器310、410の入出力特性の直線性を補償するためである。

20 このように、電圧制御型発振器VCOでも広帯域PLL回路を実現することができるが、低電圧動作を実現するためには、電流制御型発振器CCOとF/I変換器により構成した広帯域PLL回路の方が有効である。

以上説明したように非線形特性を有する発振器によって広帯域PLL回路を実現する本発明の技術は、PLL回路として動作帯域を極限まで高めうるので応用25 範囲が広がる。とりわけ、先端的なマイクロプロセッサでは素子の微細化、動作の低電圧化、高周波化が年々同時進行し、発振器の非線形性は著しく大きくなる。従って、このようなマイクロプロセッサに内蔵されたクロック発生用のPLL回路として本発明の広帯域PLL回路を適用することは特に有効である。

図13はクロック発生回路として広帯域PLL回路を内蔵したマイクロプロセ

ッサの構成を示したものである。このマイクロプロセッサは、クロックを出力するための発振器1010と、発振器1010の発振周波数を制御する発振器制御部(CPG)1030、発振器1010で発振されたクロック信号に基づいてデータの処理を行う論理部1220と、論理部1220と発振器制御部1030との間に接続された内部バス1230から構成されている。発振器1010は、広帯域PLL回路1011、1021、選択器1013、1014、1017、1023、1024、分周器1012、1022、1027、バッファ1026、水晶発振器1025から構成されている。端子XTAL、EXTAL間に接続される水晶発振器1025、または端子EXTALに外付けされるパルスジェネレータのいずれかの基準クロックを選択器1017で選択し、選択された基準クロックは分周器1027で分周した後に広帯域PLL回路1021へ入力される。広帯域PLL回路1021からの出力は、選択器1023、1013へ入力されると共に、バッファ1026を介して出力端子CKIO及びPLL回路1011へ入力される。広帯域PLL回路1011からの出力は選択器1013、1023へ入力される。このように選択器1013、1023は2つの広帯域PLL回路1011、1021の出力を受けていずれか一方を選択する。選択器1013、1023で選択された信号は、それぞれ分周器1012、1022へ入力される。分周器1012、1022は入力された信号を3つの異なった周波数の信号に分周するものである。分周器1012によって分周された信号は選択器1014によって、いずれか1つが選択され内部クロック $I\phi$ となる。分周器1022によって、分周された信号は選択器1024によっていずれか1つが選択され周辺クロック $P\phi$ となる。また、それぞれの分周器1012、1022からの出力はそれぞれPLL回路1011、1021へフィードバックされる。

CPG制御部1030は、端子MD0~2の組合せによる外部からのモード制御情報とマイクロプロセッサからソフト的に設定された周波数制御レジスタ(FRQCR)1032の情報によりクロック周波数制御回路1031で選択器1013、1014、1017、1023、1024を制御すると共に、PLL回路1011、1021の周波数通倍率、内部クロックの分周比、周辺クロックの分周比を制御する。またPLLスタンバイ、PLEネーブル、外部クロックの出

力エネーブルなどの制御を行う。

更にCPG制御部は、バッテリー状態検出回路1050を備えている。このバッテリー状態検出回路1050は、バッテリーの状態を検出し、このバッテリーの状態に応じてクロック周波数を制御するための値をFRQCR1032に設定する。この設定に基づいて、発振器1010の分周器1027を制御し、クロックの周波数を制御する。

図14はバッテリー状態検出回路1050の構成を示したものである。バッテリー状態検出回路1050は、定電流源1051、ダイオード1052、高いしきい値 $V_{TH}$ を有するインバータ1053、低いしきい値 $V_{TL}$ を有するインバータ1054、デコーダ1055で構成される。二つのインバータ1053、1054の入力には定電流源1051でバイアスされたダイオード1052の順方向降下電圧が基準電圧 $V_{REF}$ として入力され、基準電圧 $V_{REF}$ とバッテリーBATの電圧状態の比較により三つの状態が取りうる。すなわち、 $V_{TH} \geq V_{REF}$ 、 $V_{TH} < V_{REF} \leq V_{TL}$ 、 $V_{TL} < V_{REF}$ の状態である。この状態は二値化信号として取り出され、FRQCRレジスタ1032に設定することにより、クロック周波数の選択が可能になる。このようにして、広範囲動作のPLLを適用して動作クロック周波数をオンラインで最低な値に選ぶことができるようになる。なお、このバッテリー状態検出回路1050はマイクロプロセッサの外部にあってもよく、この場合はバッテリー状態検出回路1050の出力を端子MD0~2を介して入力する。

これにより、例えばバッテリーの残量が少なくなった場合に、マイクロプロセッサのクロック周波数を低くすることで、バッテリーの使用時間を延ばすことができる。

ここでは、マイクロプロセッサの周辺回路としてバッテリーの状態を検出する構成について説明したが、CPG制御部にマイクロプロセッサに接続される周辺回路の動作状態又は内部状態を検出する検出回路を備えることにより、周辺回路の動作状態又は内部状態に応じてクロック周波数を可変にすることで、目的に応じたマイクロプロセッサの運用を行うことができる。

次に、PLL部とプロセッサ中核部が異なる電源電圧で動作するプロセッサにPLL回路を適用した場合について説明する。例えば、プロセッサ内で3.3V

と1. 8 Vのそれぞれ異なった電源電圧で動作する領域がある場合、クロック発生回路内のPLL回路を動作させる領域によって電源電圧レベルの変換を行うためのインタフェース回路が必要になる。

- 図15は、クロック発生用PLL回路を外部とのインタフェース回路に用いる電源と同じ3. 3 V電源領域に配置した場合を示したものである。具体的には図16に示すように3. 3 Vと1. 8 Vの動作信号のレベル変換インタフェースを点線で示した部分にレベル変換インバータ1061～1068を配置する。このレベル変換インバータ1061～1068はロジックスレショルドの値を使用するトランジスタの寸法を変えることにより実現することができる。このように、
- 5 PLL回路を3. 3 V領域で動作させれば、既存の実績のある3. 3 V動作のPLL回路を使うことができる。

- 次に、PLL回路を図17のように論理部と同一コアの1. 8 V電源領域に配置した場合について説明する。図18は、この場合の構成を示したものであり点線部分にレベル変換インターフェース1066～1068、1071～1074
- 15 を配置する。この場合はPLLが低い1. 8 Vで動作するため低消費電力であること、論理部コアと同一電圧／プロセスなので動作マージン確保が容易なこと、コア部と一体化できるのでIP化(ASIC化)し易い。

- なお、これまではプロセッサ内で異なった電源領域を有する場合に既存のPLL回路を用いた場合について説明した。しかしながら既存のPLL回路は既に説明したように使用できる範囲が狭く、それぞれの電源に応じてPLL回路を作らなければならなかった。これに対して、本発明の広帯域PLL回路は既に説明したように広帯域で動作可能であり、このように異なった電源領域を有するプロセッサに対しても広帯域PLL回路の構成を変えることなく適用することができる。
- 20

- 次に、図13で示したマイクロプロセッサを用いて構成したマイコンシステムを図19に示す。このマイコンシステムは、マイクロプロセッサ1200の外部に基準クロックを発振する発振器1000と、この基準クロックを各部へ供給(分配)するためのクロック分配系1100を有し、この分配系1100により分配されるクロックを図13に示すCKIO端子から受けて処理を行うマイクロプロセッサ1200、クロック分配系によって分配されたクロックを入力とし、
- 25

マイクロプロセッサからの結果をバス1500へ出力したり、また、バス1500からデータを入力しマイクロプロセッサ1200へ出力するインタフェース回路1400、クロック分配系からのクロックを受けて、外部機器とのデータのやりとりを行う入出力機器1601～160nから構成されている。これらマイクロプロセッサ1200、インタフェース回路1400、入出力機器1601～160nは、それぞれ内部に広帯域PLL回路1210、1410、1611～161nを有し、クロック分配系から分配されたクロックを入力としている。これにより、マイクロプロセッサ1200では、クロック分配系から受けたクロックにマイクロプロセッサ内部動作のクロックを広帯域PLL回路1210により同期させ、それに同期した信号に基づいてメモリ1300へのアクセスを行い、論理部1220で論理演算を行う。同様にして、インターフェイス回路1400、入出力機器1601～160nはクロック分配系から受けたクロックに同期してデータの入出力を行う。尚、本マイコンシステムではマイクロプロセッサを1つしか示さなかったが、これは複数あってもよい。この場合、マイクロプロセッサの広帯域PLL回路1210へのクロック入力、図13の外部クロック入出力端子CKIOを入力モードに選択することにより実現される。

このようなシステムに広帯域PLL回路を用いることにより、装置内部のクロックスキューを小さくするとともに、マイクロプロセッサ、インターフェイス回路、入出力機器間でクロックの位相を合致させることができるので、クロック同期によるデータ転送が短時間かつ容易に行える。

ここに示したマイクロプロセッサ1200、インターフェイス回路1400、入出力機器1601～160nはそれぞれ1つの半導体基板上に構成されるものである。また、メモリ1300を含めてこれら全てを1チップ上に構成する場合は、1つの広帯域PLL回路でマイクロプロセッサ1200、インターフェイス回路1400、入出力機器1601～160nにクロックを分配するように構成してもよい。

以上説明したように、入出力特性の直線性が高いF/I変換器あるいはF/V変換器を用いて制御系を構成することにより発振器の特性に依存しないで線形制御を行うことを可能としており、発振器の特性が不明であっても広帯域PLL回

路を実現することができる。

本発明の広帯域PLLを実現するためには、発振器の非線形性が大きくても、その特性が単調な増加或いは減少する特性であればよい。従って、広帯域な発振特性を有するが制御入力に対する出力の非線形性が大きすぎたり感度が高すぎて

- 5 従来は可変発振器としての利用が困難であった各種の発振器を使って広帯域PLL回路を実現することができる。

以下に、本発明に利用することができる発振器について説明する。

図21に基板電圧制御のリングカウンタによる可変発振回路を示す。図21においても既に示した図6と同一若しくは等価なものには同一符号を付してある。

- 10 本発振器は、電流加算回路200、リングカウンタ240、電流加算回路200とリングカウンタ240とを接続するための制御インターフェイス回路230により構成されている。インターフェイス回路230は電圧増幅段を構成するトランジスタQ71とカレントミラー対のPMOSトランジスタQ72～Q74、NMOSトランジスタQ75、Q76、及び抵抗R6、R7で構成している。リング
- 15 グカウンタ240を構成するインバータ段のPMOSトランジスタQ21～Q2nの基板電極は、インターフェイス回路230の抵抗R7へ接続され、同様にNMOSトランジスタQ31～Q3nの各基板電極もインターフェイス回路230の抵抗R6へ接続されている。

このような構成における本可変発振回路の動作は次のようになる。

- 20 電流加算回路200において、設定電流 $I_c$ と $F/I$ 変換器300からの出力電流 $I_o$ は差をとられ、 $I_c > I_o$ なら端子30の電圧は低く、トランジスタQ71はカットオフないし、極めて低電流となり、インターフェイス回路230のカレントミラー回路にはほとんど電流が流れない。従ってインターフェイス回路230の抵抗R6、R7の電圧降下は、ほぼ0となり、リングカウンタ240の
- 25 各トランジスタは基板バイアスがなく相対的に高い周波数で発振する。次に、 $I_c \leq I_o$ なら電流加算回路200の端子30の電圧は上昇し、インターフェイス回路230のトランジスタQ71に電流が流れ、カレントミラー回路の各トランジスタQ72～Q74、Q75、Q76は順バイアスされて電流が流れる結果、抵抗R6、R7は電圧降下、すなわち基板電圧が生じてリングカウンタ240の

回路電流が減少し、発振周波数は低下する。従って、電流加算回路 200 とトランジスタ Q71 からなる電流加算の利得が十分高く、リングカウンタ 240 の出力が F/I 変換器（図示せず）を介して電流加算回路 200 の端子 30 に負帰還されている状態では、 $I_c = I_o$  となって非線形な発振特性は線形化される。図 5 22 は、別の発振器を示したもので、リングカウンタ 240 の周波数可変手段として、電源電圧を可変する回路を有している。この回路は、電流加算回路 200 の電流  $I_c$ 、 $I_o$  の大小に応じてトランジスタ Q71 の抵抗 R5 の端子電圧が変化し、複数トランジスタ Q771 ~ Q77n からなるソースホロワの出力電圧を変えてリングカウンタ 240 の発振周波数を変化させる。電源電圧を変化させた

10 リングカウンタ 240 の出力は電流電圧比例して各インバータ段のしきい値も変化するから、外部に安定な出力振幅を取り出すためには、何らかのレベルシフトが必要になる。図 15 の回路においては、出力段インバータ Inv5 を結合容量 Cc とダイオード D11, D12 からなる非線形抵抗のバイアスを用いた交流増幅回路で実現している。

15 図 20 に、更に別の発振器の回路を示す。図 20 においては、リングカウンタを構成するインバータ段は、増幅器としてのトランジスタ Q31 をダイオード Q31' の並列回路で構成し、インバータ段には定電流トランジスタ Q11 を介して定電流  $I_v$  が給電される。次段以降も同様の構成であり奇数段でリングカウンタを構成している。このインバータ段の動作は、トランジスタ Q31 がオフ状態では、Q11 の定電流はダイオード Q31' に流れ、出力電圧はダイオードでクランプされている。次いで Q31 がオンになると電流はダイオード Q31' からトランジスタ Q31 に切り替わり、出力電圧は接地電圧となり、オン/オフに応じて 1 ダイオード分の振幅が得られる。

20

この回路の出力振幅はダイオードによってリミットされるため、振幅は制御電

25 流  $I_v$  に正比例せず、 $I_v$  の平方根 ( $\sqrt{I_v}$ ) に比例する。従って出力周波数の平方根 ( $\sqrt{f}$ ) の特性となり、非線形性が大きいので実用範囲は制約されていたが、本発明の線形化 CCO 技術によって実用化帯域が広帯域化できる CCO の好適例となる。図 15 の CCO としての利点として、(1) 直列トランジスタ数が少ないので低電圧動作が容易であり、(2) 出力電圧を接地側でダイオードクランプ

しているので電源電圧ノイズ及び影響を低減できる。等があげられる。

以上のように、本発明では発振器の非線形性が大きくても、また、発振出力の振幅が変化するような場合でも広帯域PLL回路を実現することができ次のような利点がある。

5 (1) CCOの非線形性を線形化できるため使用できる周波数範囲が2～3倍広がる。

(2) 負帰還制御による線形化技術なので非線形性の細部が不明でも広く適用できる(応用範囲が広く設計容易)。

10 (3) LSIの微細化、低電圧化、高周波化に伴う非線形補正ができるのでそれらの進展に対応し易い。

(4) 入出力周波数に正確に対応した系のパラメータ管理ができるので広範囲動作(例えば周波数範囲10倍)のPLLが実現でき、少ないPLLの種類で応用範囲が広がるため経済的である。

(5) PLLの中心周波数設定が正確にできるため、引き込み時間が短縮できる。

15 (6) 正確な中心周波数が設定できるので、可変制御範囲を必要最小範囲にでき、制御系のノイズ、ジッタ等を少なくできる。

(7) V/I変換を差動で動かしているので、特性変動やプロセスばらつきの影響を低減でき高精度化する。

20 以上説明したように、本発明によれば、発振器の特性に関わらず負帰還制御により線形制御を可能とし、広範囲に動作可能なPLL回路を実現することができる。

また、このPLL回路を使うことにより消費電力を大幅に低減するシステムを構成することができる。

25 次に、既に説明した広帯域PLL回路に適用できる電流スイッチについて説明する。尚、この電流スイッチは他にも一般のPLL回路、A/D変換回路、あるいはD/A変換回路にも適用することができる。

図23は、本発明の第一実施形態である電流スイッチ回路の概略構成図である。

ここで、Q110は電流スイッチとして機能するMOSトランジスタ、Q120はバイアス電流 $I_s$ を流すMOSダイオード、Inv13はMOSトランジス

タQ110駆動用の電圧スイッチとして機能するCMOSインバータ、そして、  
1<sup>4</sup>は負荷である。

MOSトランジスタQ110のゲートは、バイアス電流 $I_s$ を流すMOSダイ  
オードQ120と接続されている。これにより、MOSトランジスタQ110の  
5 ゲートに順バイアス電圧が印加される。また、MOSトランジスタQ110のド  
レインは、負荷14に接続されている。なお、MOSトランジスタQ110およ  
びMOSダイオードQ120は、MOSトランジスタQ110の導通時にバイア  
ス電流 $I_s$ と等しい電流を流すカレントミラー回路を構成している。

CMOSインバータInv13は、相補対性出力回路であり、高低両出力レベ  
10 ルとも低出力インピーダンスとなる。このCMOSインバータInv13の出力  
は、MOSトランジスタQ110のソース（低電圧側電極）に接続されている。  
また、このCMOSインバータInv13の電源側電極は、それぞれ接地GND、  
電源 $V_{cc}$ に接続されている。

ここでは、負荷14を、シンク電流 $I_{os}$ およびソース電流 $I_{o's}$ の双方に  
15 対応できる一般性のある回路で示すため、カレントミラー回路で構成している。  
ただし、負荷14はカレントミラー回路に限定されるものではない。

上記構成の電圧スイッチ回路では、入力16に入力された制御信号の電圧値  
 $V_i$ により変化するCMOSインバータInv13の出力レベルにしたがい、M  
OSトランジスタQ110が開閉する。

20 すなわち、制御信号の電圧値 $V_i$ が0の場合、CMOSインバータInv13  
の出力は $V_{cc}$ レベルになる。この場合、MOSトランジスタQ110のソース  
ーゲート間は、逆バイアス状態になるため、MOSトランジスタQ110は、遮  
断状態になる。

一方、制御信号の電圧値 $V_i$ が $V_{cc}$ レベルに変化すると、CMOSインバー  
25 タInv13の出力は0レベルになる。この場合、MOSトランジスタQ110  
は、順バイアス状態になる。このため、MOSトランジスタQ110は導通状態  
になり、回路電流 $I_o$ （ $I_s$ と略等しい）が流れる。

これにより、 $V_{cc}$ レベルの制御信号の印加時間に対応した時間だけ、負荷1  
4に電流を流す。

図24は、図23に示す電流スイッチ回路を、 $V_{cc} = 2.5V$ のCMOSLSIで構成した場合に、当該回路の入出力動作波形がどのようなになるかシミュレートした結果を示す図である。なお、動作条件は、バイアス電流 $I_s = 10\mu A$ 、制御信号のパルス幅 $t_i = 1ns$ 、該パルス幅の立ち上り/立ち下り時間 $= 1050ps$ である。

本実施形態の電流スイッチ回路では、CMOSインバータInv13の出力インピーダンスが、高低両出力レベルともに低インピーダンスとなる。このため、MOSトランジスタQ110を流れる回路電流 $I_o$ のスイッチング過渡期間は、立ち上りおよび立ち下りともに、CMOSインバータInv13の出力電圧が、  
10 MOSトランジスタQ110のバイアス電圧幅（ $0V \sim V_D$ （=MOSダイオードQ12の両端間電圧））を横切って変化する期間に略限定される。このため、非常に短い整定時間を実現することができる。

なお、図24において、回路電流 $I_o$ のスイッチング過渡期間におけるノイズ分は、CMOSインバータInv13を構成するMOSトランジスタのゲート  
15 ドレイン間の寄生容量への入力波形の微分ノイズである。立ち上りおよび立ち下りの電流ノイズは、1回のスイッチ・オンでMOSトランジスタQ110を流れる電流の理想的な値 $I_s \cdot t_i$ 積に対して誤差分となるが、 $I_s = 10\mu A$ 、 $t_i = 1ns$ という小さな動作条件においても、その誤差分は1~2%程度にすぎない。

20 本実施形態では、駆動段として、出力レベルが高、中、低レベルとも低出力インピーダンスである相補対性出力のCMOSインバータInv13を用いている。さらに、CMOSインバータInv13の出力を電流スイッチであるMOSトランジスタQ110のソース（低電圧側電極）に接続して、MOSトランジスタQ110を駆動することで、CMOSインバータInv13の出力をMOSトラン  
25 ジスタQ110のゲート（高電圧側電極）に接続して、MOSトランジスタQ110を駆動する場合に比べて、MOSトランジスタQ110の被制御端子に生ずる寄生容量が小さくなるようにしている。

このようにすることで、電流スイッチ駆動の整定時間は、一般にスイッチングトランジスタの寄生容量による過渡時間に依存するので、駆動段の出力インピー

ダンスを立ち上りおよび立ち下りともに小さくすることができ、これにより、MOSトランジスタQ110の整定時間を短縮することができ、したがって、電流スイッチを高速に動作させることができる。たとえば、MOSLSIではGHz動作、パワー回路ではMHz動作が可能となる。

- 5    また、本実施形態では、電流スイッチをソース駆動しているので、電流スイッチをゲート駆動した場合に比べ、出力側へのミラー効果や駆動のトランジェントノイズを小さくすることができる。このため、スイッチング制御の精度を高めることができる。

- さらに、本実施形態では、駆動段に相補対性出力回路を用いているので、駆動  
10  段の電源に対する直列素子数を少なくすることができる。このため、低電圧動作が可能となり、駆動電力を低くすることができる。たとえば、MOSLSIでは、1V程度の電源電圧で動作が可能となる。

その他、本実施形態は、回路が簡単、動作が確実であるなどの多くの利点を有する。

- 15    次に、本発明の広帯域PLL回路のチャージポンプ回路800、T/I変換器950に電流スイッチを適用した構成を図25に示す。尚、図25に示した構成は図9に示したV/I変換器900の出力を電流加算器100へ入力するように構成したものである。また、図9に示した係数回路b2960を介してT/I変換回路へ入力される調整信号は省略している。

- 20    位相比較回路700の入力端子211、212各々に入力された信号の位相差に対応して、出力端子213に図25のA部に示すようなUPの位相差パルス信号が出力されると、このパルス信号により、チャージポンプ回路800のCMOSインバータInv222の出力がMOSトランジスタQ221のソースに印加される。これにより、MOSトランジスタQ221が、このパルス信号のパルス  
25  幅（位相差パルス幅）の期間だけ導通し、キャパシタCF220を充電する。キャパシタCF220の電圧増加分は、V/I変換回路23および電流加算回路25を介して、CCO100に入力される。これを受けて、CCO100は、発振周波数 $f_v$ を増加させる。

また、出力端子213から出力されたUPの位相差パルス信号により、T/I

変換回路950のCMOSインバータInv242の出力がMOSトランジスタ241のソースに印加される。これにより、MOSトランジスタQ241が、位相差パルス幅の期間だけ導通し、電流加算回路110のリード制御入力に、電流を加える方向の系の安定化リード制御信号を印加する。

- 5 一方、位相比較回路700の入力端子211、212各々に入力された信号の位相差に対応して、出力端子214に図25のB部に示すようなDOWNの位相差パルス信号が出力されると、このパルス信号により、チャージポンプ回路800のCMOSインバータInv224の出力がMOSトランジスタQ223のソースに印加される。これにより、MOSトランジスタQ223が、位相差パルス幅の期間だけ導通し、キャパシタCF220を放電する。キャパシタCF220  
10 の電圧減少分は、V/I変換回路900および電流加算回路100を介して、CCO100に入力される。これを受けて、CCO100は、発振周波数 $f_v$ を減少させる。

- また、出力端子214から出力されたDOWNの位相差パルス信号により、T/I変換回路950のCMOSインバータInv244の出力がMOSトランジスタ243のソースに印加される。これにより、MOSトランジスタQ243が、位相差パルス幅の期間だけ導通し、電流加算回路110のリード制御入力に電流を引き抜く方向の系の安定化リード制御信号を印加する。  
15

- 図25に示す、本実施形態の電流スイッチ回路を適用した広帯域PLL回路では、電流スイッチの動作が高速であり、かつ電流パルス出力の充放電の対称性が良いため、何らの補正もなしに狭パルス（たとえば100ps以下）動作が可能となる。したがって、PLLとして数100MHz～数GHzの動作も可能になる。また、各電流スイッチの構成が簡単で且つ低電圧（たとえば2V以下）動作が可能であるため、一般のPLL回路に適用しても近年の高速マイクロプロセッサのクロック発生器に必要な低電圧広帯域PLLを実現することができる。  
20  
25

なお、当然のことながら、図25に示す広帯域PLL回路を構成するMOSトランジスタ、MOSダイオード、およびCMOSインバータは、1つのLSIに作り込むことが可能である。

次に、本発明の第一実施形態である電流スイッチ回路をD/A変換回路に適用

した場合について説明する。

図26は、本発明の第一実施形態である電流スイッチ回路が適用された電流加形のD/A変換回路の概略構成図である。

図26に示すD/A変換回路は、入力となるデジタル信号のビットMSB～LSB各々に対応するように、2進で重み付けがなされた複数の電流スイッチ回路（MOSトランジスタ $Q_x$ 、CMOSインバータ $I_{nv x}$ 、ただし、 $1 \leq x \leq n$ 、 $n$ は入力デジタル信号のビット数）を備えて構成されている。

各電流スイッチ回路のMOSトランジスタ $Q_x$ は、ドレインが帰還抵抗 $R_f$ を有するオペアンプAmp310の（－）入力側端子に接続され、また、ゲートが共通して接続され、さらに、ソースが、対応するCMOSインバータ $I_{nv x}$ の出力に接続されている。なお、各MOSトランジスタ $Q_x$ のゲートは、基準電流 $I_s$ を流すMOSダイオード $Q_{320}$ によってバイアスされるカレントミラー回路を構成している。

各電流スイッチ回路のCMOSインバータ $I_{nv x}$ には、入力となるデジタル信号の対応するビットが入力される。各CMOSインバータ $I_{nv x}$ の電源は、GNDと $-V_D$ である。 $V_D$ の値は、基準バイアス用のMOSダイオード $Q_{320}$ の動作電圧よりも僅かに大きい値である必要がある。しかしながら、電流バイアス回路を用いているので、 $-V_D$ の安定度は悪くてもよい。

次に、図26に示すD/A変換回路の動作について説明する。

たとえば、入力デジタル信号のMSBが「H」であるとする。この場合、MSBに対応する電流スイッチ回路のCMOSインバータ $I_{nv 1}$ の出力が $-V_D$ となる。これにより、電流スイッチ $Q_{100}$ は導通し、オペアンプAmp310の（－）入力共通線からMSBに応じた電流 $I_{MSB}$ を流す。したがって、オペアンプAmp310の出力端子には、 $R_f \cdot I_{MSB}$ なる出力電圧が発生する。

ここでは、一例として、入力デジタル信号のうち、MSBのビット入力動作について説明したが、他のビットの入力動作についても同様である。

図26に示すD/A変換回路では、動作速度が極めて高速な本実施形態の電流スイッチ回路を適用しているので、オペアンプAmp31が反転出力なのと相まって、整定を短かくすることができる。したがって、高速なD/A変換器を、比

較的簡単な構成で且つ安価に提供することが可能となる。

なお、当然のことながら、図26に示すD/A変換回路を構成するMOSトランジスタ、MOSダイオード、およびCMOSインバータは、1つのLSIに作り込むことが可能である。

5 次に、本発明の第二実施形態について説明する。

図27は、本発明の第二実施形態である電流スイッチ回路の概略構成図である。図27に示す電流スイッチ回路は、スイッチング電源などの基本回路となる高電圧パワースイッチング回路である。

ここで、Q410は電流スイッチとして機能するパワーMOSトランジスタ  
10 (FET)、Inv42はパワーMOSトランジスタQ410駆動用の電圧スイッチとして機能する相補インバータ、Inv43はインバータInv42駆動用のCMOSインバータである。

パワーMOSトランジスタQ410は、ゲートが順バイアス電源Vbに接続され、ドレインがコンバートランス45を介して高電圧電源Vs（たとえば+1  
15 20V）に接続され、そして、ソースが相補インバータInv42の出力に接続されている。

相補インバータInv42は、低電圧のパワーMOSトランジスタQ470およびQ480で構成された相補対性出力回路である。パワーMOSトランジスタQ470およびQ480のドレインは共通して接続され、それが相補インバータ  
20 Inv42の出力となっている。また、パワーMOSトランジスタQ470およびQ480のゲートは共通して接続され、それが相補インバータInv42の入力となっている。また、パワーMOSトランジスタQ470のソースは電源Vccに接続され、パワーMOSトランジスタQ480のソースは接地GNDされている。

25 CMOSインバータInv43には、電源として、Vccおよび接地GNDが供給されている。

ここで、各パワーMOSトランジスタの容量を例示すると、Q410は200V/10A、Q470およびQ480は、電源の同期整流用途の15V/10Aなどである。また、各インバータに供給される電源Vccおよびバイアス電源V

bは、電流スイッチであるパワーMOSトランジスタQ410の非飽和動作ゲート電圧 $V_{Gon}$ に対し、 $V_{Gon} < V_b < V_{cc}$ となるように選んである。たとえば、 $V_{Gon} = 4\text{ V}$ 、 $V_b = 6\text{ V}$ 、 $V_{cc} = 8\text{ V}$ である。

上記構成の電流スイッチ回路では、CMOSインバータInv43の入力端子49に、高周波のパルス信号が印加されると、相補インバータInv42の出力には、電源 $V_{cc}$ および接地GND間の電位差を振幅とするパルス信号が現れる。これを受けて、パワーMOSトランジスタQ410は、相補インバータInv42の出力がGND側電位のときに導通し、 $V_{cc}$ 側電位のときに遮断する。

本実施形態において、パワーMOSトランジスタQ410のソース側の寄生容量は少ない。しかし、相補インバータInv42の出力インピーダンスは、「L」出力時はパワーMOSトランジスタQ480のオン抵抗となり、「H」出力時はパワーMOSトランジスタQ470のオン抵抗となる。そして、中間出力では、パワーMOSトランジスタQ470およびQ480のダイオード抵抗の並列となるため、何れのレベルにおいても低出力インピーダンスとなる。

15 このため、パワーMOSトランジスタQ410の寄生電荷を、相補インバータInv42の何れの出力レベルにおいても、急速に放電することができる。したがって、電流スイッチ回路としての動作は、略理想的な駆動となり高速化する。

たとえば、 $V_s = +120\text{ V}$ 、 $V_{Gon} = 4\text{ V}$ 、 $V_b = 6\text{ V}$ 、 $V_{cc} = 8\text{ V}$ といった電圧条件において、スイッチング周波数1～10MHzでの動作が可能となる。これにより、コンバートランス45や平滑キャパシタなどを小形化することができる。本実施形態の電流スイッチ回路は、超音波ドライバなどへの応用にも好適である。

25 なお、本実施形態の電流スイッチ回路において、電流スイッチとなるパワーMOSトランジスタQ410のゲートに印加される順バイアスが定電圧である場合、当該電流スイッチ駆動用の相補対性出力の電圧スイッチは、さらに多様な変形が可能である。

図28は図27に示す本発明の第二実施形態の変形例を示す図である。

図28に示す変形例では、図27に示す第二実施形態において、低電圧のパワーMOSトランジスタQ470およびQ480で構成された相補インバータIn

- v 4 2 に代えて、バイポーラ形トランジスタ Q 5 1 0、Q 5 2 0 となる相補エミッタホロワ D r v 5 0 を用いている。相補エミッタホロワ D r v 5 0 を用いることにより、MOS インバータを用いた場合よりも、さらに低出力インピーダンス化を図ることができ、これにより電流スイッチのスイッチング速度を向上させる
- 5    ことが可能となる。

次に、本発明の第三実施形態について説明する。

図 2 9 は、本発明の第三実施形態である電流スイッチ回路の概略構成図である。なお、図 2 9 において、図 2 3 に示す第一実施形態のものと同一の機能を有するものには、同一の符号を付している。

- 10    図 2 9 に示す第三実施形態の電流スイッチ回路が、図 2 3 に示す第一実施形態の電流スイッチ回路と異なる点は、CMOS インバータ I n v 1 3 の V c c 側電源電極と電源 V c c との間に、電源降下用の MOS ダイオード Q 6 0 を挿入したことである。その他の構成は、図 2 3 に示す第一実施形態のものと同様である。

- 本実施形態によれば、CMOS インバータ I n v 1 3 の出力のしゃ断レベルを
- 15    必要最少限レベルに設定して、駆動ノイズの発生を低減することができる。電流スイッチ回路を構成する各 MOS トランジスタのしきい値が小さくなり、コンダクタンス g m が向上すれば、駆動電圧振幅は必要最小限でよいので、回路の低消費電力化や低ノイズ化に有効である。その他の効果は、第一実施形態のものと同様である。

- 20    なお、本実施形態において、電源降下用の MOS ダイオード Q 6 0 の代わりに、その他の電圧降下手段を用いることも可能である。

次に、本発明の第四実施形態について説明する。

- 図 3 0 は、本発明の第四実施形態である電流スイッチ回路の概略構成図である。なお、図 3 0 において、図 2 3 に示す第一実施形態のものと同一の機能を有する
- 25    ものには、同一の符号を付している。

図 3 0 に示す第四実施形態の電流スイッチ回路が、図 2 3 に示す第一実施形態の電流スイッチ回路と異なる点は、CMOS インバータ I n v 1 3 の出力と接地 GND との間に、出力レベルの最大値を制限するための MOS ダイオード Q 6 2 を挿入したことである。その他の構成は、図 1 に示す第一実施形態のものと同様

である。

- 本実施形態においても、上記説明した本発明の第三実施形態と同様に、CMOSインバータInv13の出力のしゃ断レベルを必要最少限レベルに設定して、駆動ノイズの発生を低減することができる。その他の効果は、第一実施形態のも  
5 のと同様である。

なお、本実施形態では、CMOSインバータInv13を構成するPMOSトランジスタのサイズと、MOSダイオードQ62のサイズとを調節することで、しゃ断レベルを任意に設定できるが、反面、MOSダイオードQ62による電力消費が増加する。

- 10 また、本実施形態において、MOSダイオードQ62の代わりに、その他の振幅調節手段を用いてCMOSインバータInv13の出力のしゃ断レベルを調節するようにしてもよい。

- なお、上記の各実施形態では、電流スイッチとしてMOSトランジスタを用いたものについて説明したが、本発明に用いる電流スイッチはMOSトランジスタ  
15 に限定されるものではない。たとえば、バイポーラ形トランジスタでもよい。また、パワー電流スイッチとしては、IGBTやその他の半導体スイッチを適用することが可能である。

- また、上記の各実施形態では、電圧スイッチとして、CMOSインバータ、あるいは2つのバイポーラ形トランジスタでなる相補エミッタホロワを用いたもの  
20 について説明したが、本発明で用いる電圧スイッチは、高低両レベルとも低出力インピーダンスを有する相補対性出力回路であればよい。

以上説明したように、本発明の電流スイッチ回路によれば、スイッチのオン／オフ双方向ともにスイッチ時間を短縮することができる。また、低電圧動作が可能となる。

## 請 求 の 範 囲

1. 入力される第1のクロック信号と位相が同期する第2のクロック信号を生成するための第1の帰還回路と、

5 入力される前記第1のクロック信号とほぼ等しい周波数の前記第2のクロック信号を生成する第2の帰還回路とを有することを特徴とする位相同期回路。

2. 請求項1記載の位相同期回路において、

前記第2の帰還回路は、前記第1のクロック信号を第1の電流に変換する第1の変換回路と、前記第2のクロック信号を第2の電流に変換する第2の変換回路

10 と、前記第1の電流と前記第2の電流とを加算する電流加算回路とを有することを特徴とする位相同期回路。

3. 請求項1記載の位相同期回路において、

前記第2の帰還回路は、前記第1のクロック信号を第1の電圧に変換する第1の変換回路と、前記第2のクロック信号を第2の電圧に変換する第2の変換回

15 路と、前記第1の電圧と前記第2の電圧とを加算する電圧加算回路とを有することを特徴とする位相同期回路。

4. 入力信号に基づいて出力信号を積分制御するための第1の制御信号を生成する第1の制御信号生成部と、

20 入力信号に基づいて出力信号を比例制御するための第2の制御信号を生成する第2の制御信号生成部と、

前記第1の制御信号と前記第2の制御信号に基づいてクロック信号を出力する発振器とを有することを特徴とする位相同期回路。

5. 請求項4記載の位相同期回路において、

25 前記第1の制御信号生成部は、前記入力信号と前記出力信号の位相差から前記第1の制御信号を生成し、前記第2の制御信号生成部は、前記入力信号と前記出力信号の周波数の差から前記第2の制御信号を生成することを特徴とする位相同期回路。

6. 請求項4又は5記載の位相同期回路において、

前記第1の制御信号生成部は、入力信号を第1の電流に変換する第1の変換回

路と、出力信号を第2の電流に変換する第2の変換回路と、前記第1の電流と前記第2の電流とを加算する電流加算回路とを有することを特徴とする位相同期回路。

7. 請求項4又は5記載の位相同期回路において、

- 5 前記第1の制御信号生成部は、入力信号を第1の電圧に変換する第1の変換回路と、出力信号を第2の電圧に変換する第2の変換回路と、前記第1の電圧と前記第2の電圧とを加算する電圧加算回路とを有することを特徴とする位相同期回路。

8. 請求項6記載の位相同期回路において、

- 10 前記第1、第2の変換回路は、入力される信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有することを特徴とする位相同期回路。

9. 入力信号と出力信号との位相差に基づいて第1の制御信号を生成する第1  
15 の制御信号生成部と、入力信号と出力信号との周波数の差から第2の制御信号を生成する第2の制御信号生成部と、前記第1の制御信号と前記第2の制御信号に基づいてクロック信号を出力する発振器とを有するクロック生成部と、

前記クロック生成部から出力されるクロック信号を制御するクロック制御部と、

前記クロック生成部で生成されたクロック信号に基づいてデータを処理する論

- 20 理部とを有することを特徴とする情報処理装置。

10. 請求項9記載の情報処理装置において、

前記クロック制御部は外部からの制御信号に基づいて前記クロック生成部から出力されるクロック信号を制御することを特徴とする情報処理装置。

- 1.1. 入力される第1のクロック信号と位相が同期する第2のクロック信号を  
25 生成するための第1の帰還回路と、入力される前記第1のクロック信号と周波数が一致する前記第2のクロック信号を生成する第2の帰還回路とを有するクロック生成部と、

前記クロック生成部へ入力される第1のクロック信号を制御するクロック制御部と、

前記第2のクロック信号に基づいてデータを処理する論理部とを有することを特徴とする情報処理装置。

12. 請求項11記載の情報処理装置において、

5 前記クロック制御部は外部からの制御信号に基づいて前記第1のクロック信号を制御することを特徴とする情報処理装置。

13. 入力される第1のクロック信号と位相が同期する第2のクロック信号を生成するための第1の帰還回路と、入力される前記第1のクロック信号と周波数が一致する前記第2のクロック信号を生成する第2の帰還回路とを有するクロック生成部と、

10 前記クロック生成部から出力される第2のクロック信号に基づいて動作する複数の回路と、

前記複数の回路のうち前記クロック生成部と異なった電源で動作する回路へ前記第2のクロック信号を伝播するためのインタフェースとを有することを特徴とする情報処理装置。

15 14. クロック周波数に基づいてデータの処理を行う情報処理装置と、前記情報処理装置と接続され、内部状態を出力する回路とを有する情報処理システムであって、

前記情報処理装置は、前記周辺回路から出力される内部状態に基づいてクロック周波数を可変にすることを特徴とする情報処理システム。

20 15. 請求項14に記載された情報処理システムにおいて、

前記情報処理装置は、入力信号と出力信号の位相差から第1の制御信号を生成する第1の制御信号生成部と、入力信号と出力信号との周波数の差から第2の制御信号を生成する第2の制御信号生成部と、前記第1の制御信号と前記第2の制御信号に基づいてクロック信号を出力する発振器とを有するクロック生成部を有

25 することを特徴とする情報処理システム。

16. 請求項14に記載の情報処理システムにおいて、

前記情報処理装置は、入力される第1のクロック信号と位相が同期する第2のクロック信号を生成するための第1の帰還回路と、入力される前記第1のクロック信号と周波数が一致する前記第2のクロック信号を生成する第2の帰還回路と

を有するクロック生成部を有することを特徴とする情報処理システム。

17. 請求項14、15または16に記載の情報処理システムにおいて、

前記周辺回路は電源回路であって、前記情報処理装置は、前記電源回路の残量に基づいてクロック周波数を可変にすることを特徴とする情報処理システム。

5 18. 制御電極を順バイアスした電流スイッチと、

前記電流スイッチの低電圧側電極に出力が接続された、相補対性出力の前記電流スイッチ駆動用電圧スイッチと、

を備えることを特徴とする電流スイッチ回路。

19. 請求項18記載の電流スイッチ回路であって、

10 前記電流スイッチは、導通時に一定電流を流す定電流回路を構成していることを特徴とする電流スイッチ回路。

20. 請求項18または19記載の電流スイッチ回路であって、

前記電圧スイッチは、電源側電極が電圧降下手段を介して電源に接続されていることを特徴とする電流スイッチ回路。

15 21. 請求項18または19記載の電流スイッチ回路であって、

前記電圧スイッチは、出力が振幅調節手段に接続されていることを特徴とする電流スイッチ回路。

22. 請求項18または19記載の電流スイッチ回路であって、

20 前記電流スイッチは、MOSトランジスタであることを特徴とする電流スイッチ回路。

23. 請求項18または19記載の電流スイッチ回路であって、

前記電圧スイッチは、CMOSインバータであることを特徴とする電流スイッチ回路。

25 24. 入力された2つの信号の位相差に応じて、2つの出力端子のうちのいずれか一方から位相差信号を出力する位相比較回路と、前記位相比較回路から出力された位相差信号にしたがい、キャパシタを充放電して制御電圧信号を生成するチャージポンプ回路と、前記チャージポンプ回路で生成された制御電圧信号にしたがい、発信周波数を調節する発振器と、を備えた位相同期ループ回路であって、前記チャージポンプ回路は、前記位相比較回路の一方の出力端子から出力され

た位相差信号にしたがい、前記キャパシタを充電する第一の電流スイッチ回路と、前記位相比較回路の他方の出力端子から出力された位相差信号にしたがい、前記キャパシタを放電する第二の電流スイッチ回路と、を備え、

前記第一および第二の電流スイッチ回路は、制御電極を順バイアスした電流スイッチと、前記電流スイッチの低電圧側電極に出力が接続された、相補対性出力の前記電流スイッチ駆動用電圧スイッチと、を備えることを特徴とする位相同期ループ回路。

25. 入力デジタル信号のビットMLB～LSB各々に対応して設けられた複数の電流スイッチ回路を備えたデジタル／アナログ変換回路であって、

10 前記複数の電流スイッチ回路各々は、

制御電極を順バイアスした電流スイッチと、

前記電流スイッチの低電圧側電極に出力が接続された、相補対性出力の前記電流スイッチ駆動用電圧スイッチと、を備え、

かつ、前記電圧スイッチに入力されたビットの信号にしたがい、前記電流スイッチが、当該ビットに応じた電流を流すように、2進で重み付けがなされていることを特徴とするデジタル／アナログ変換回路。

26. 請求項7記載の位相同期回路において、

前記第1、第2の変換回路は、入力される信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有することを特徴とする位相同期回路。

27. 請求項20記載の電流スイッチ回路であって、

前記電流スイッチは、MOSトランジスタであることを特徴とする電流スイッチ回路。

25 28. 請求項20記載の電流スイッチ回路であって、

前記電圧スイッチは、CMOSインバータであることを特徴とする電流スイッチ回路。

29. 請求項21記載の電流スイッチ回路であって、

前記電流スイッチは、MOSトランジスタであることを特徴とする電流スイッ

チ回路。

3 0. 請求項 2 1 記載の電流スイッチ回路であって、

前記電圧スイッチは、CMOSインバータであることを特徴とする電流スイッチ回路。

5 3 1. 請求項 2 2 記載の電流スイッチ回路であって、

前記電圧スイッチは、CMOSインバータであることを特徴とする電流スイッチ回路。

FIG. 1

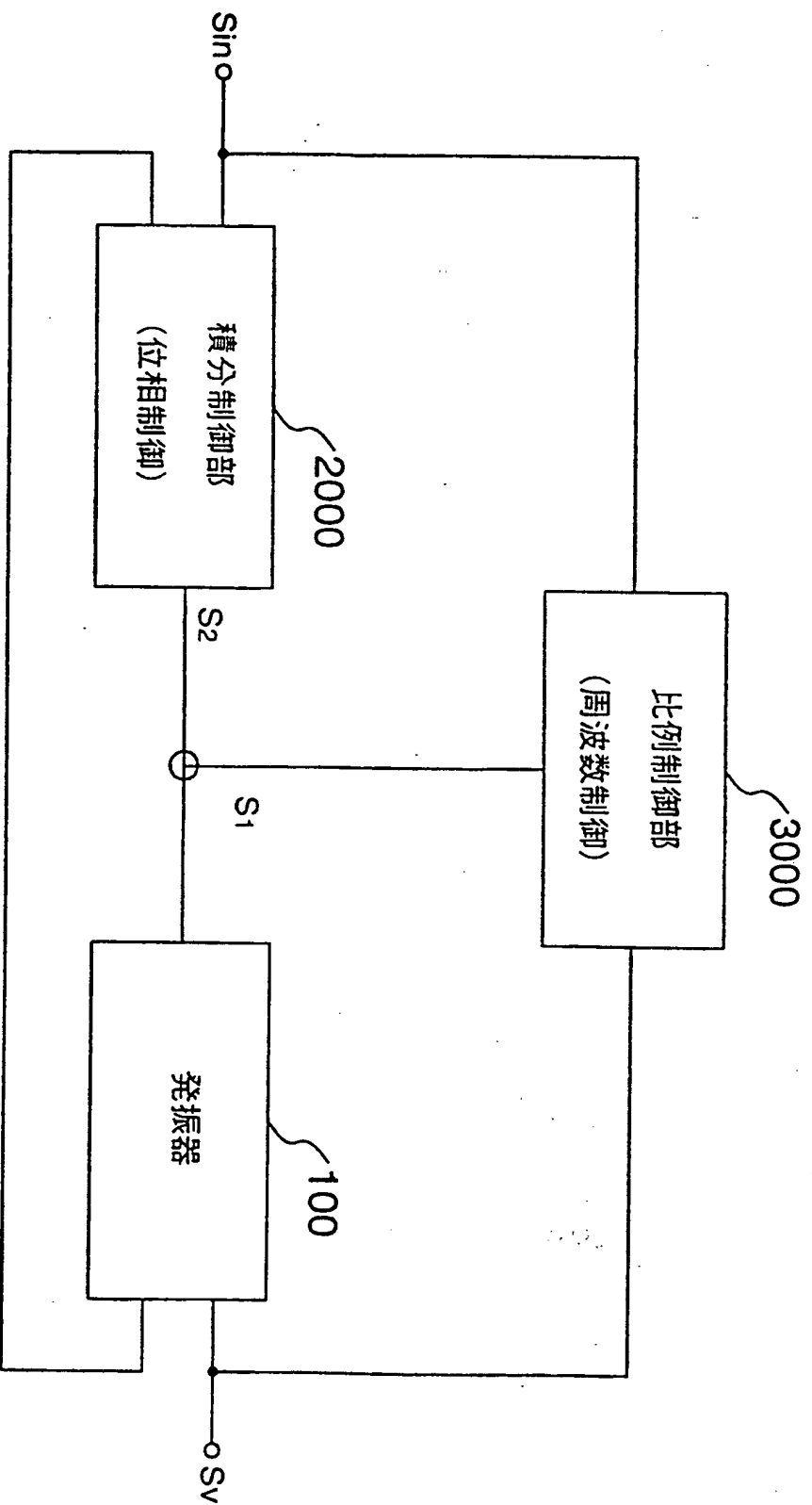
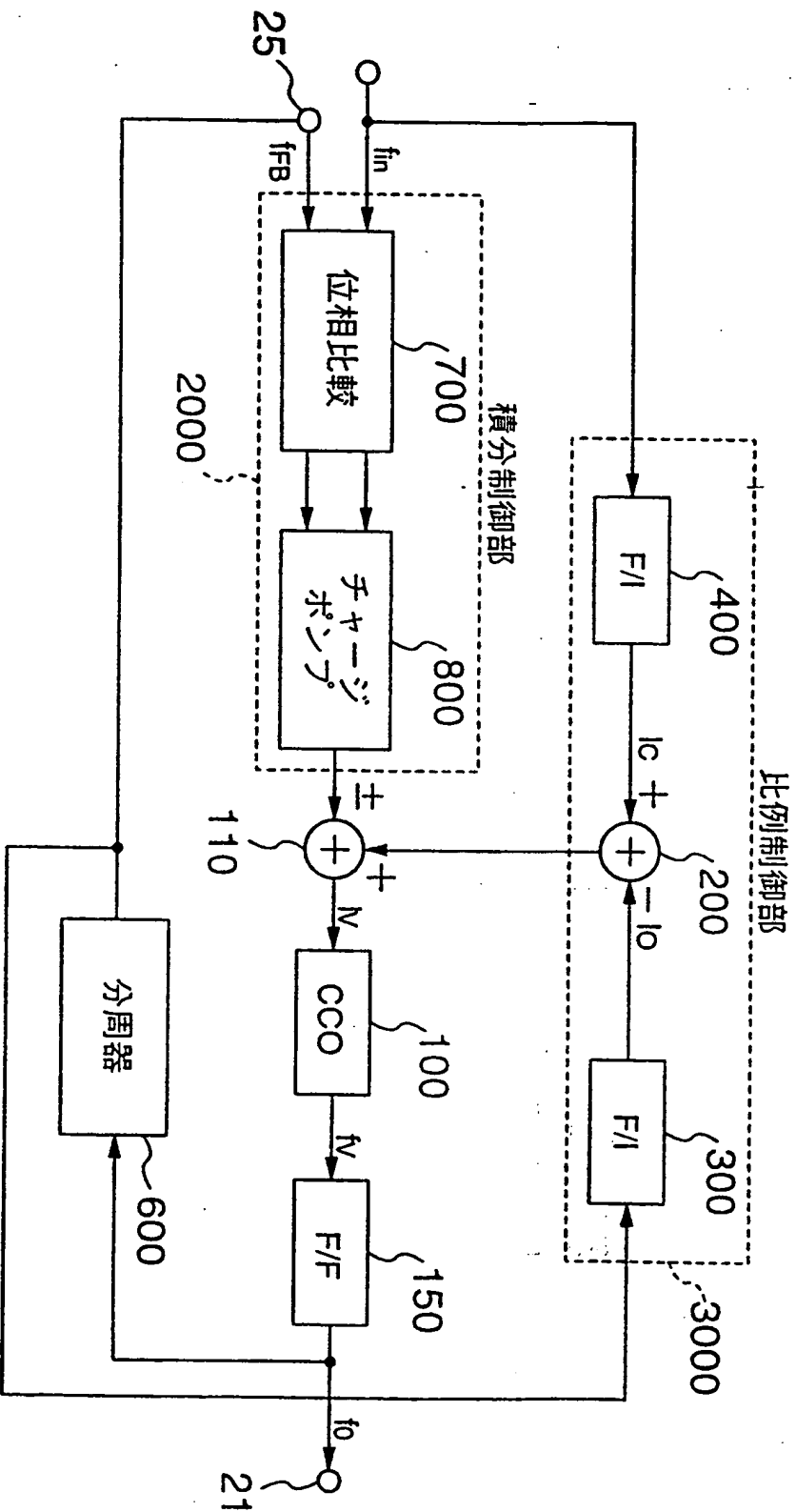


FIG. 2



3/22

FIG. 3

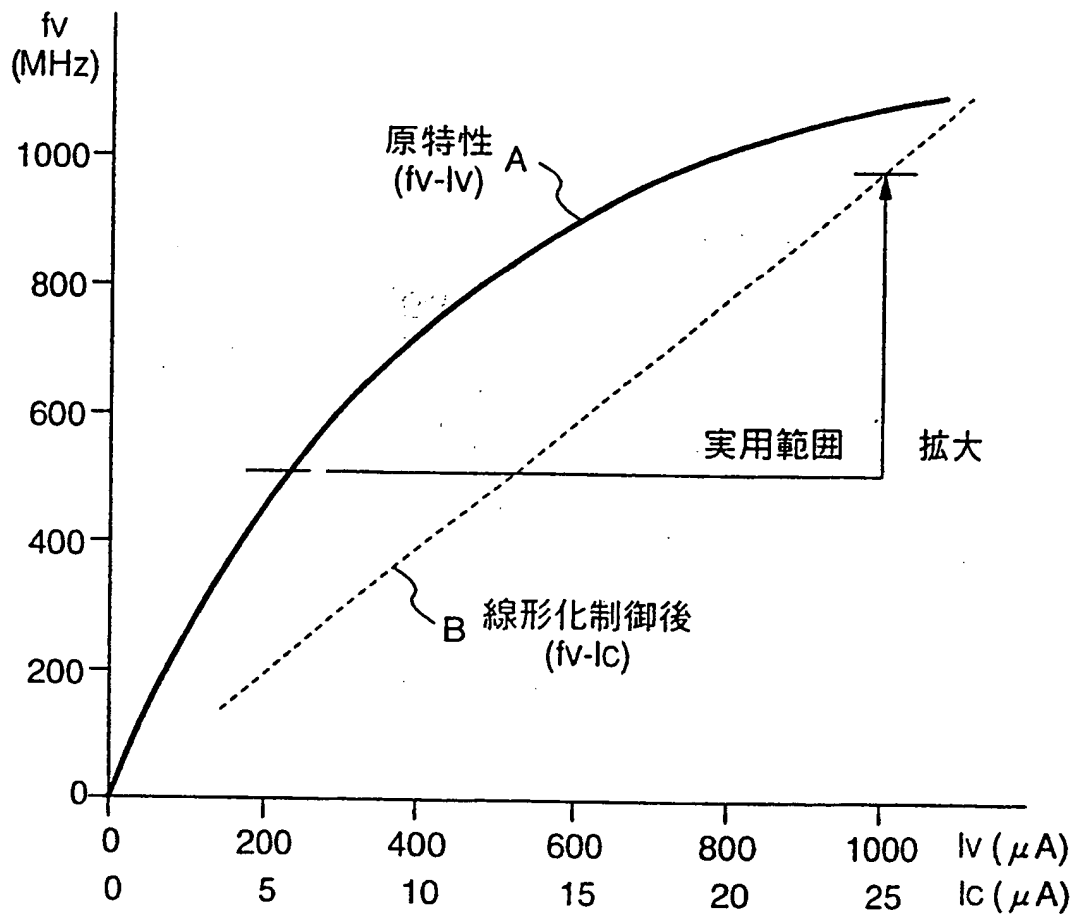
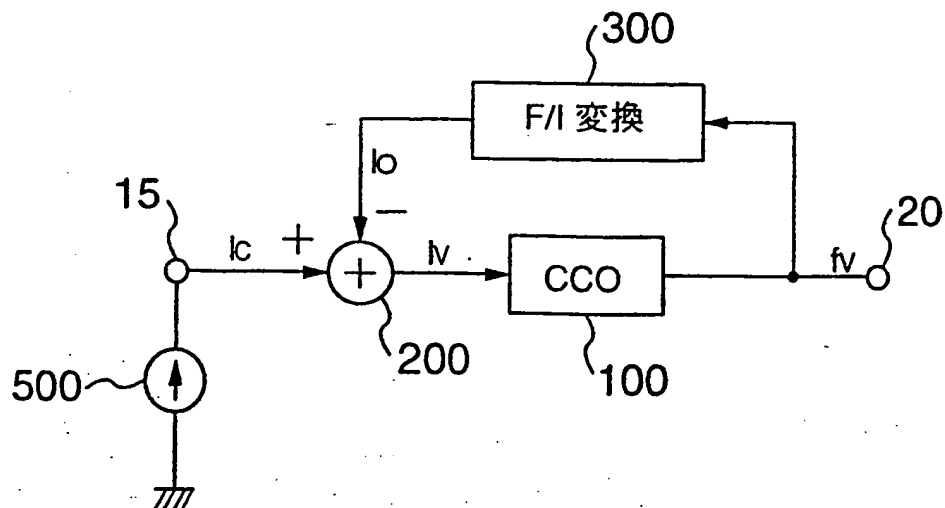
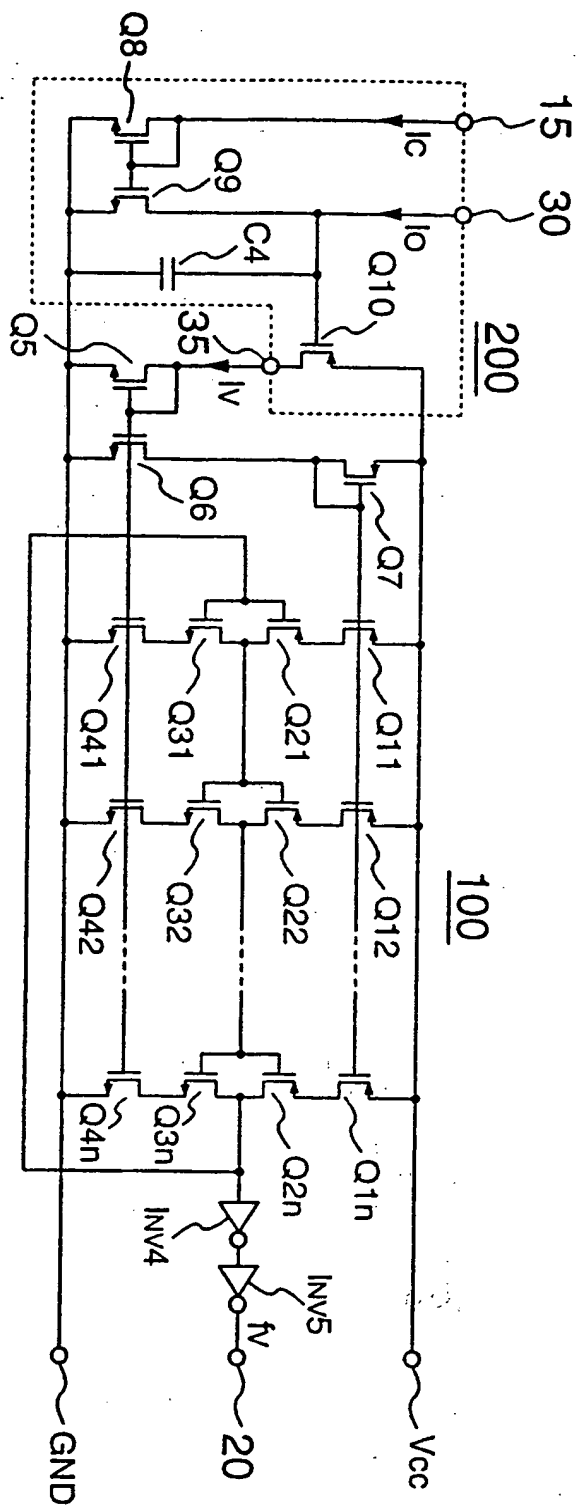


FIG. 4





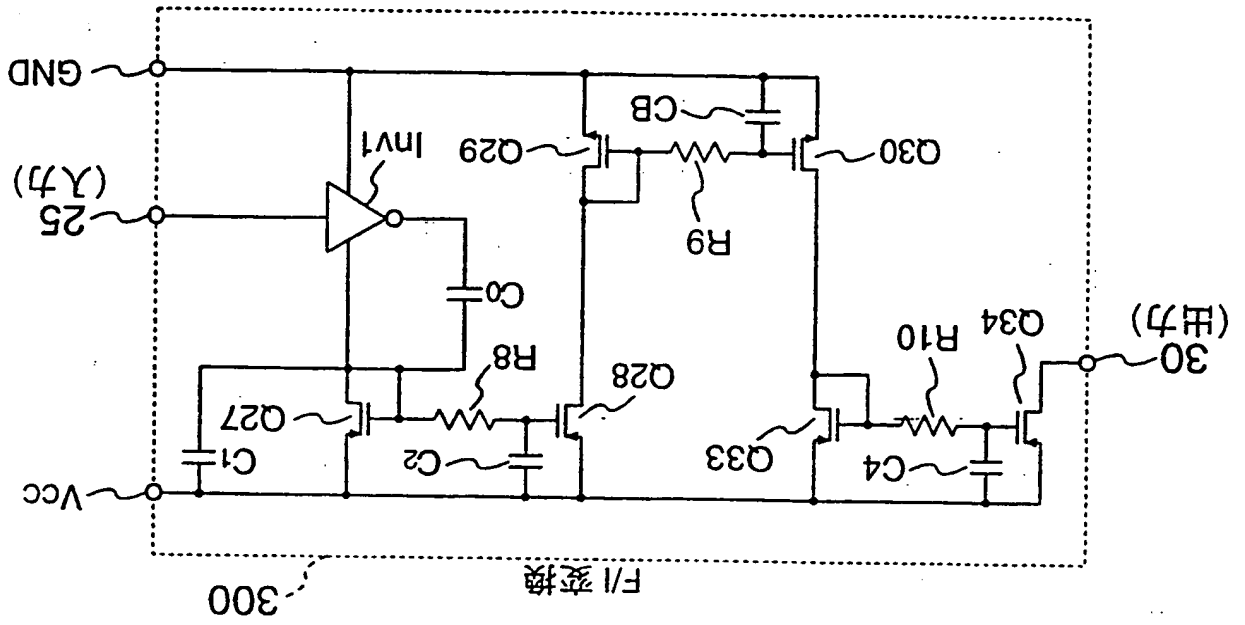


FIG. 8

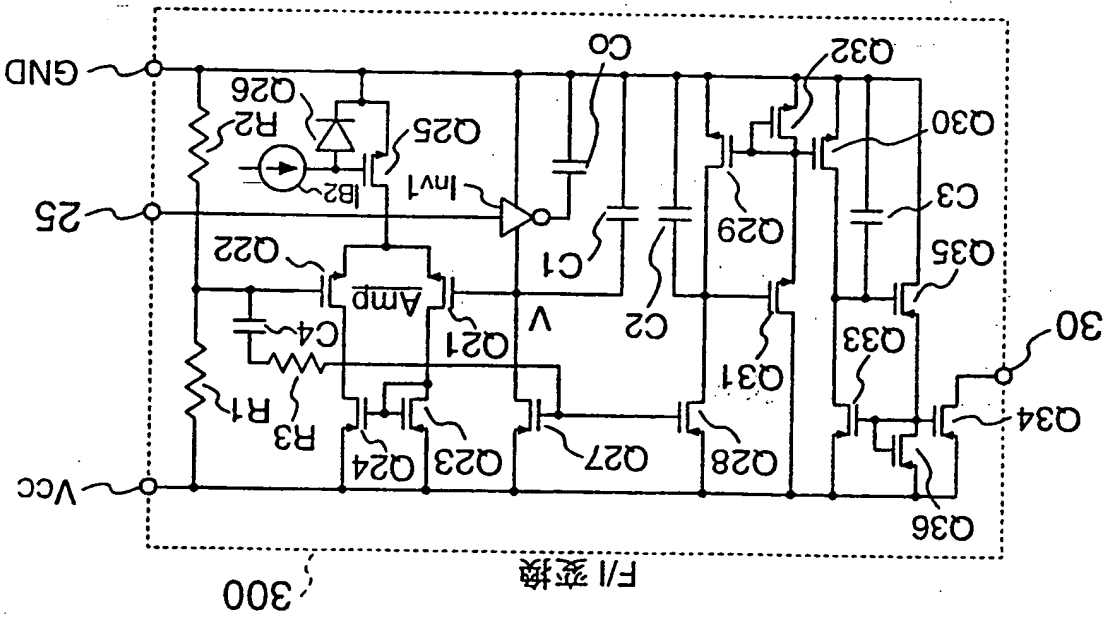


FIG. 6

6/22

FIG. 7A

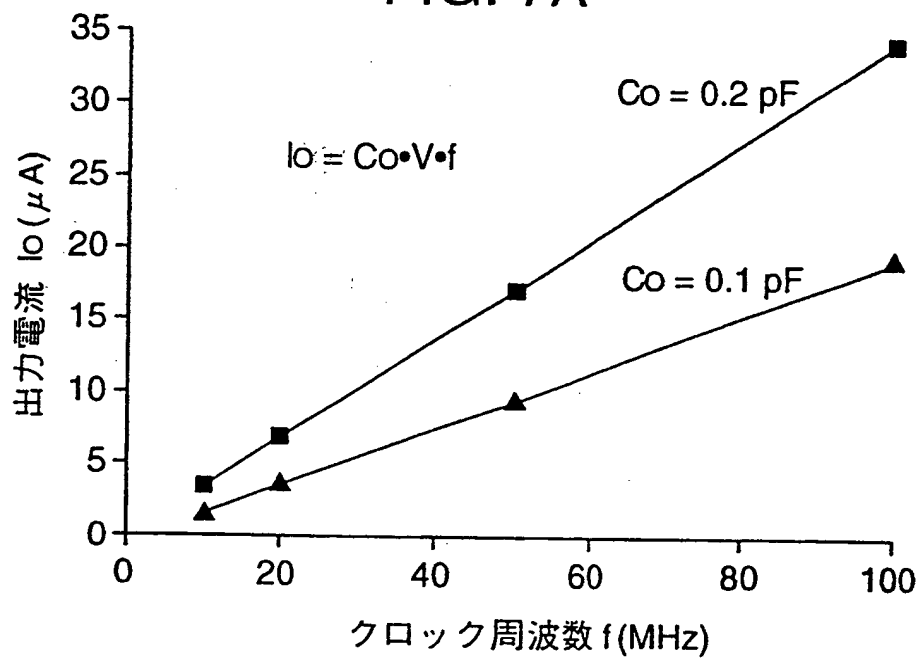
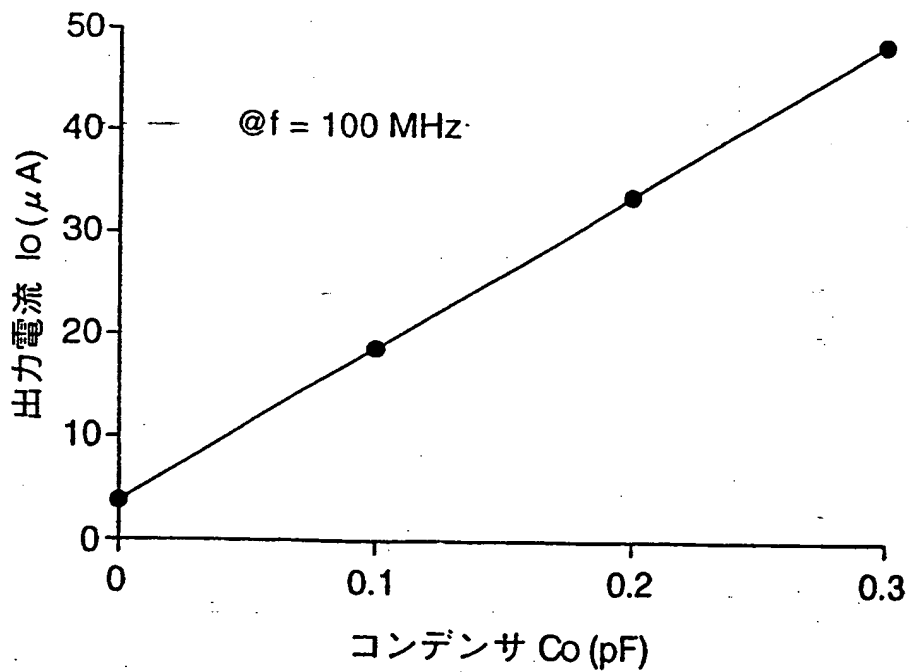
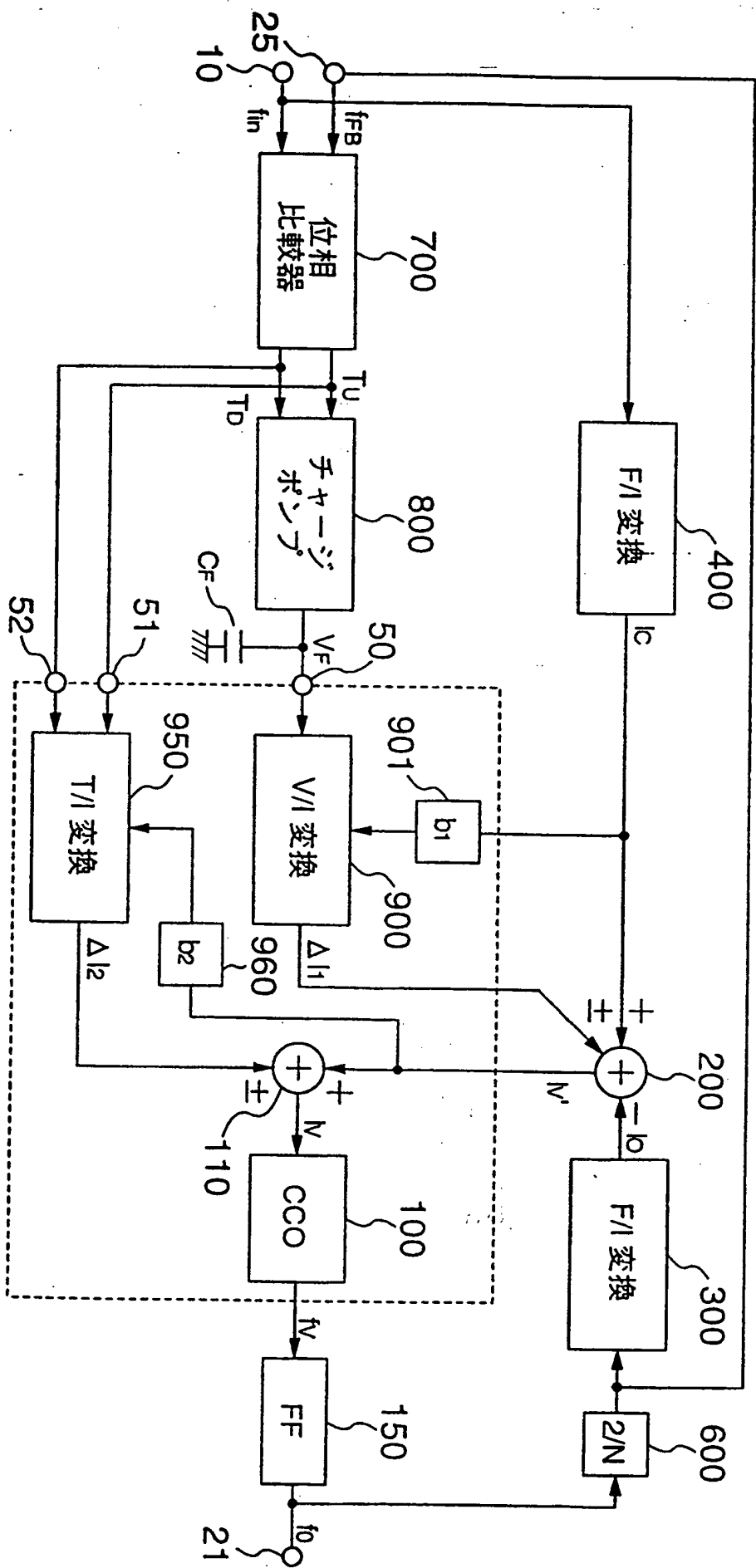


FIG. 7B



7/22



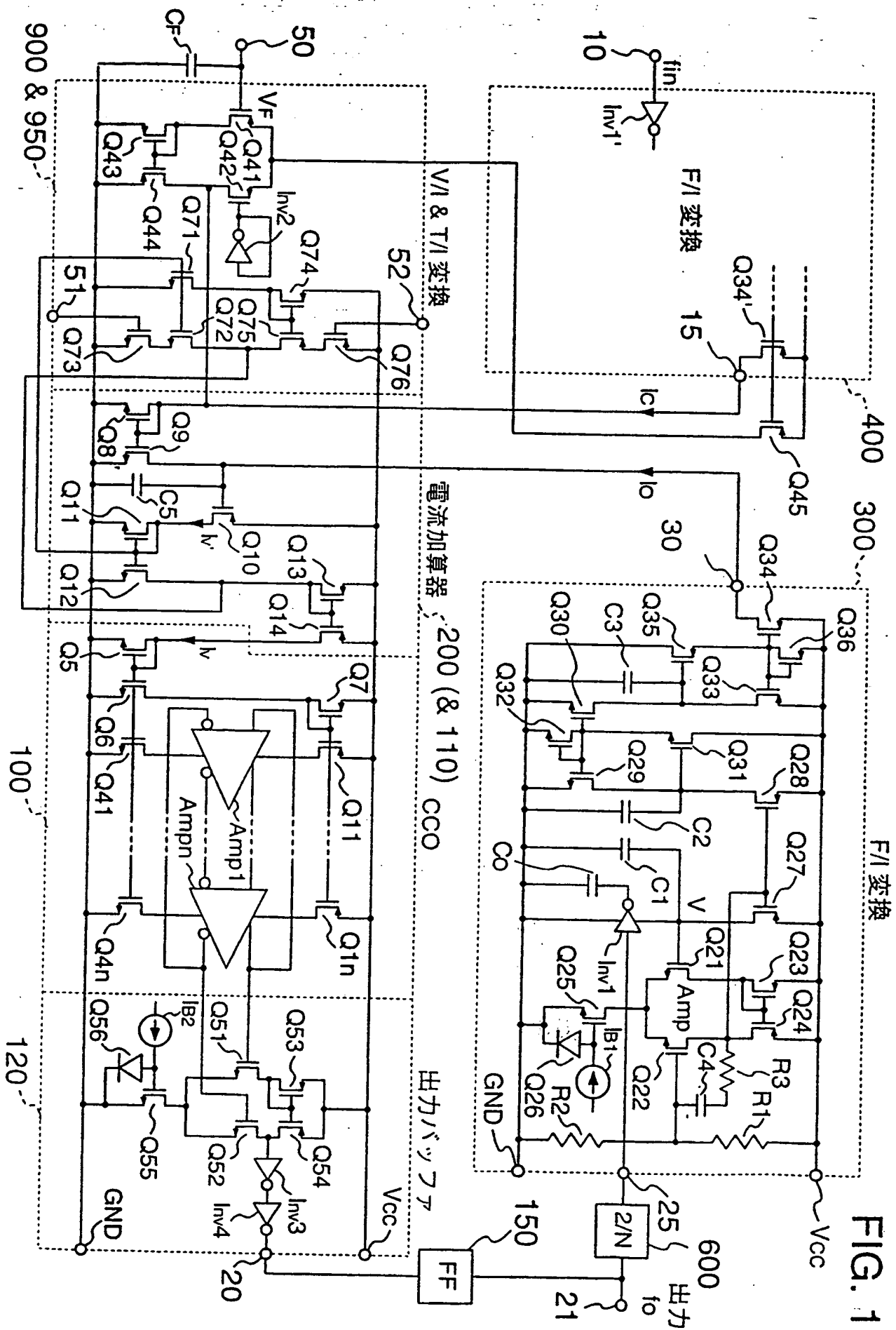


FIG. 10

FIG. 11

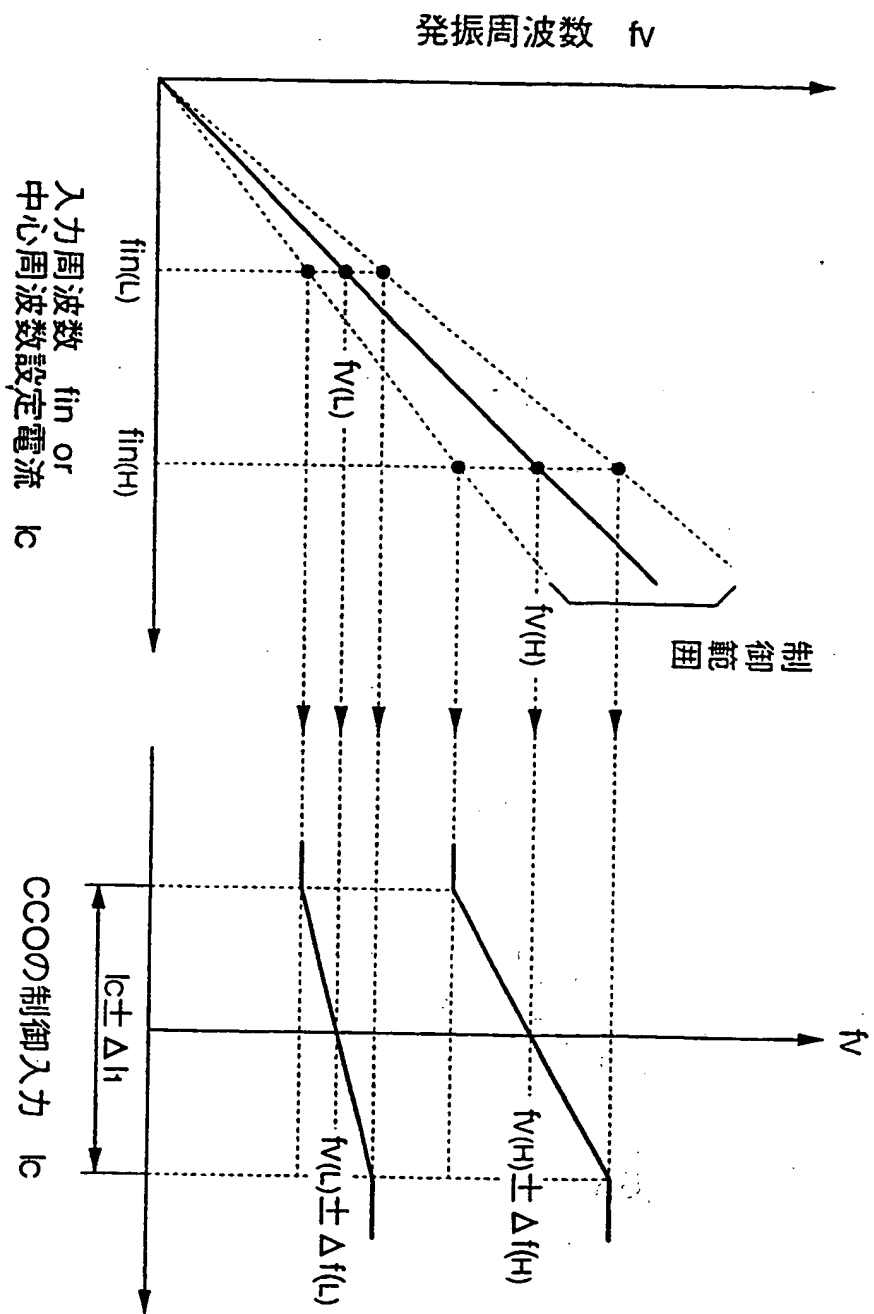
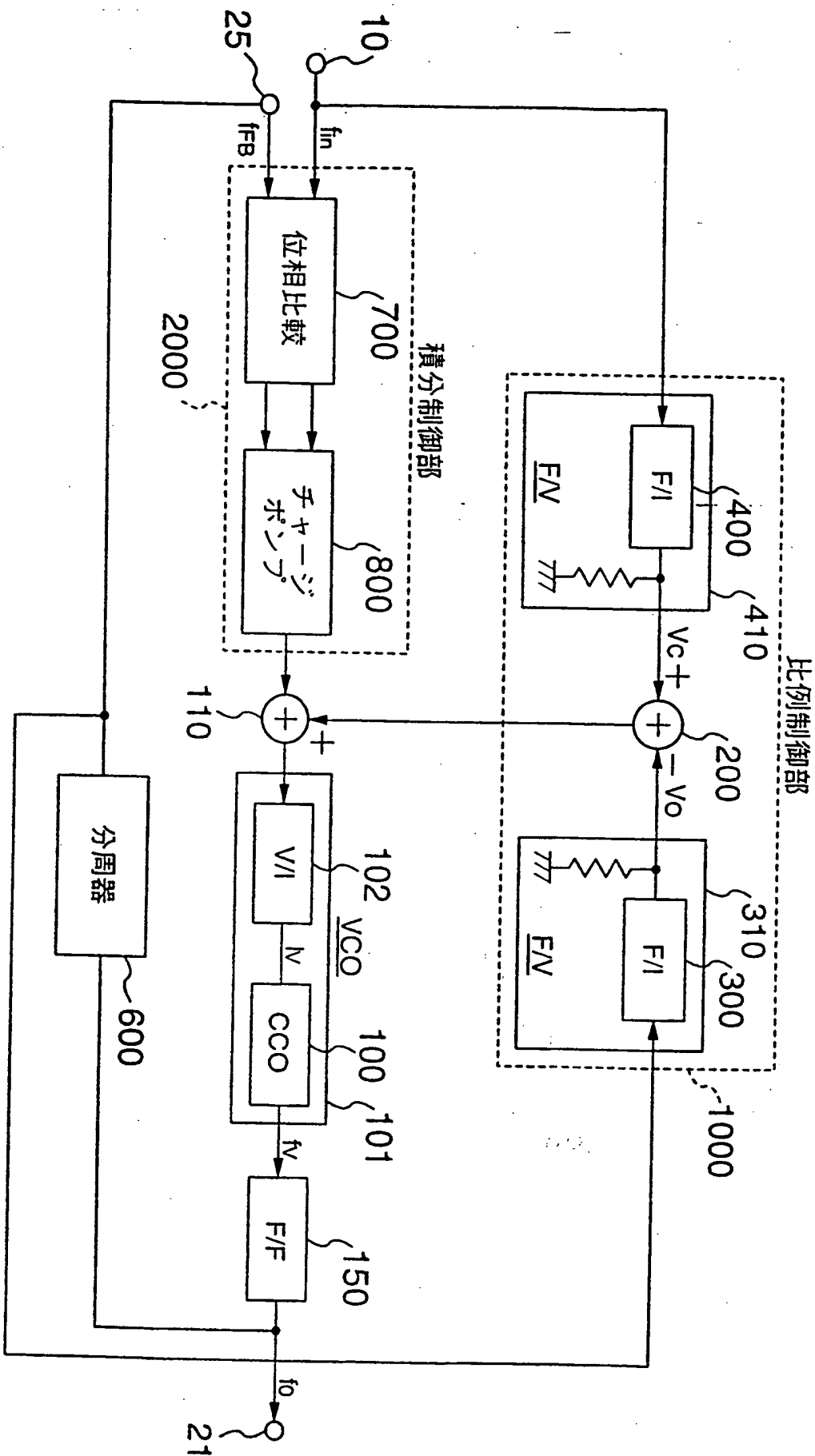
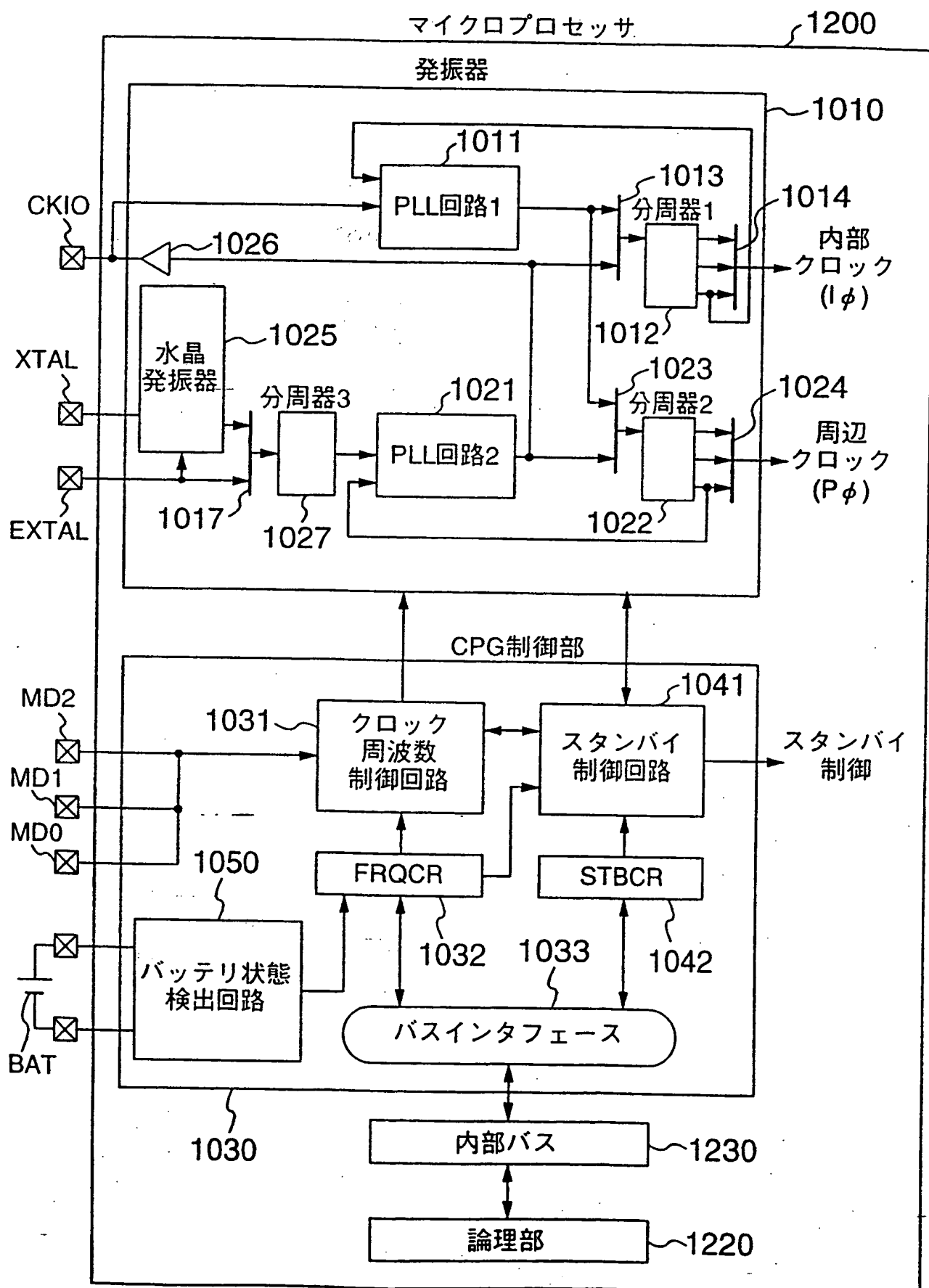


FIG. 12



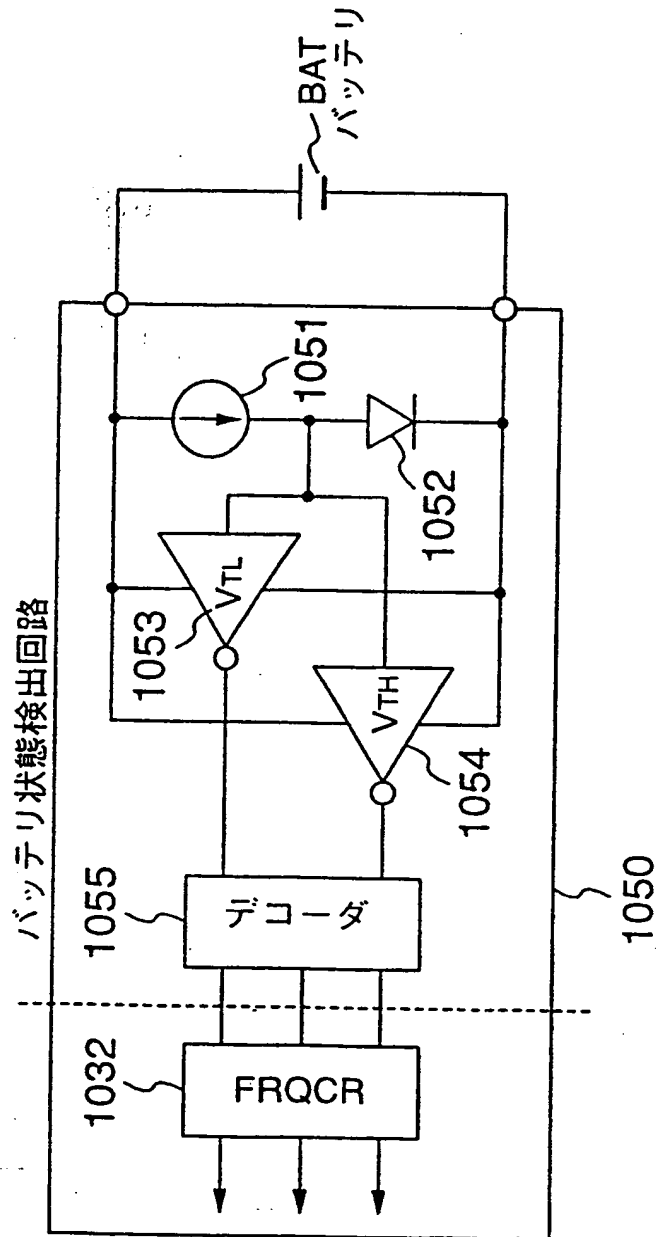
11/22

FIG. 13



12/22

FIG. 14



13/22

FIG. 15

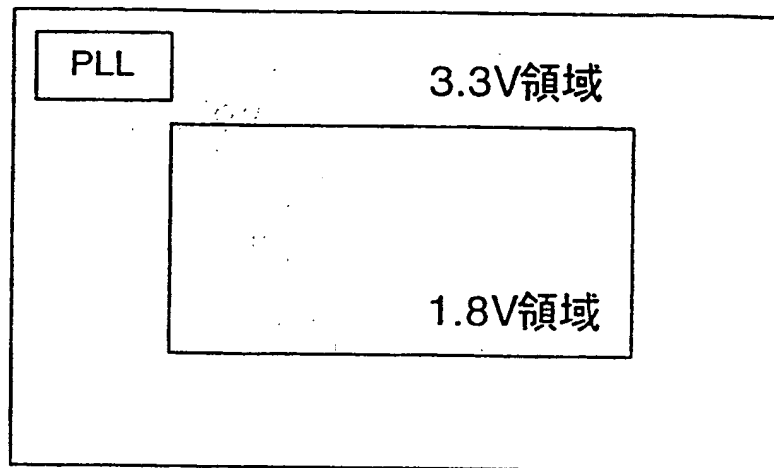
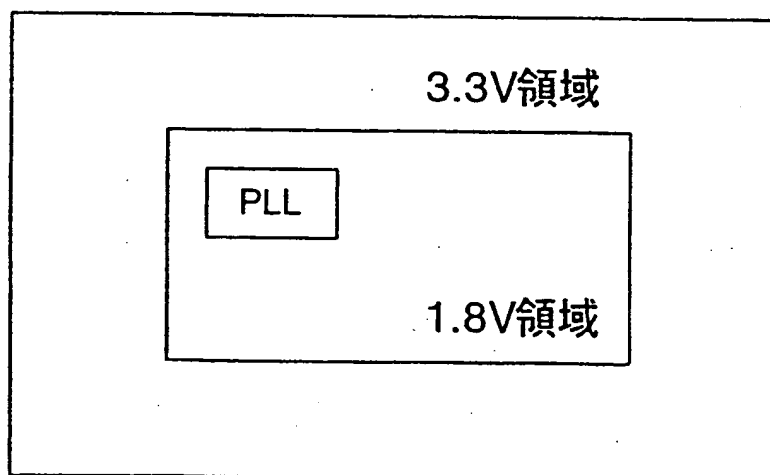
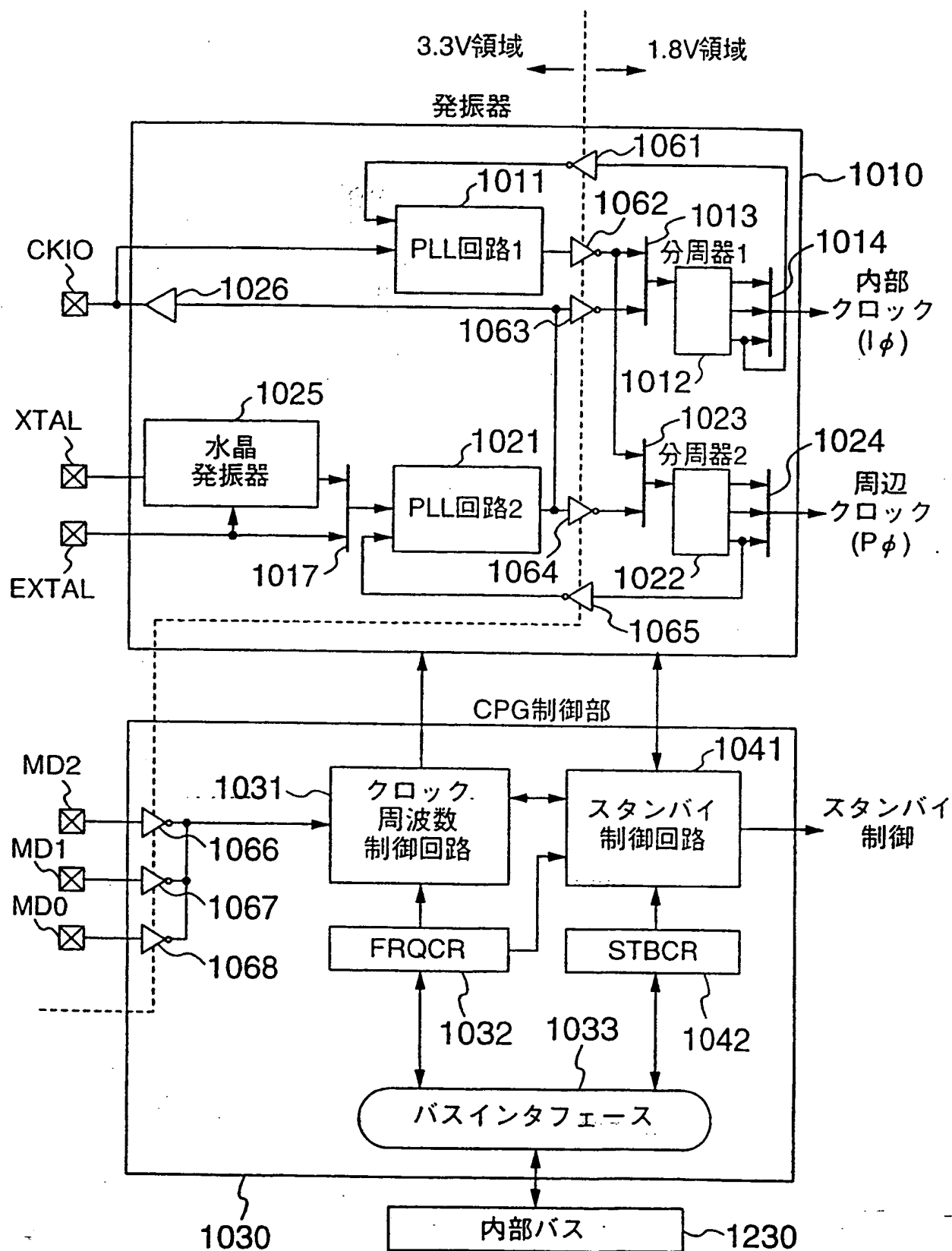


FIG. 17



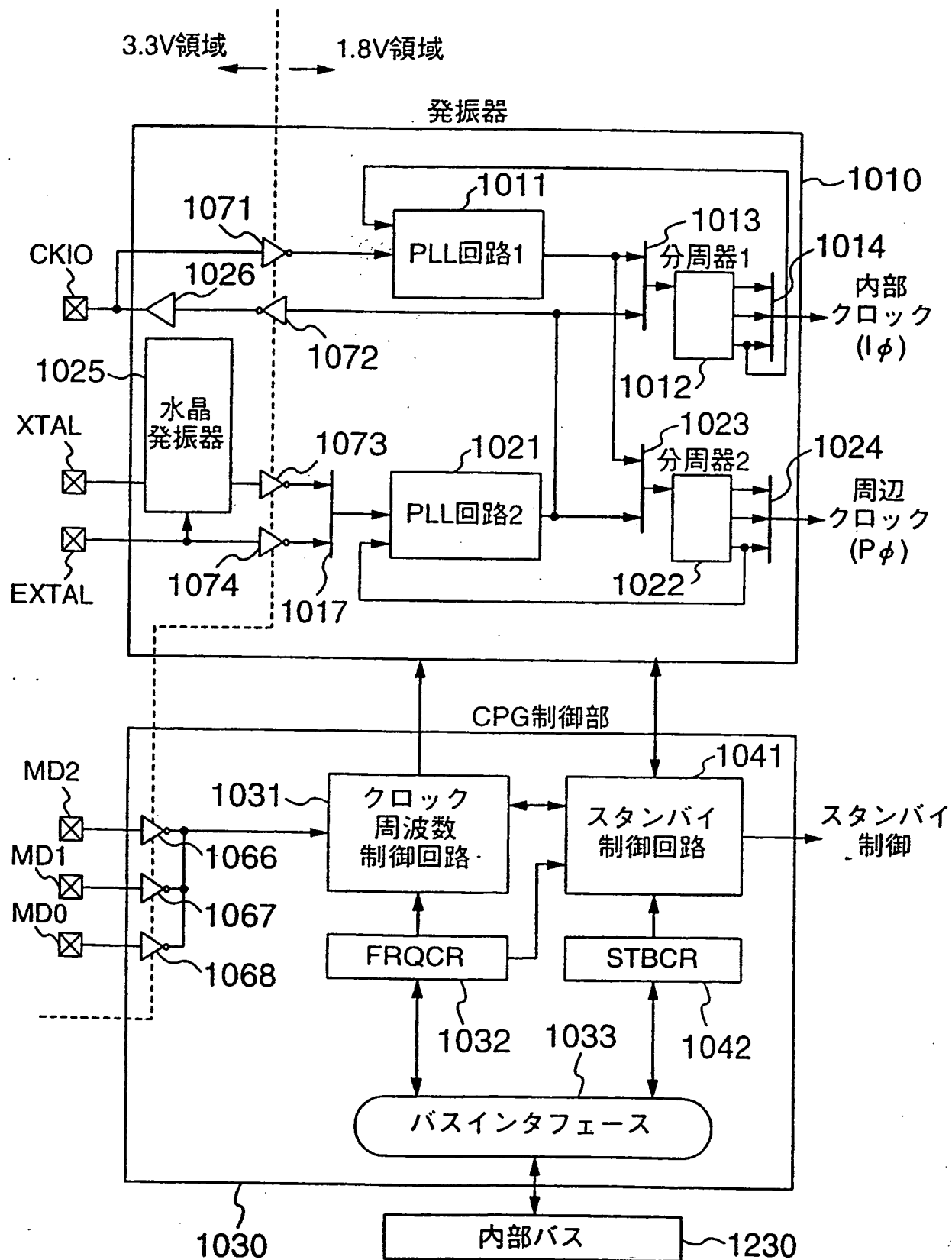
14/22

FIG. 16



15/22

FIG. 18





17/22

FIG. 21

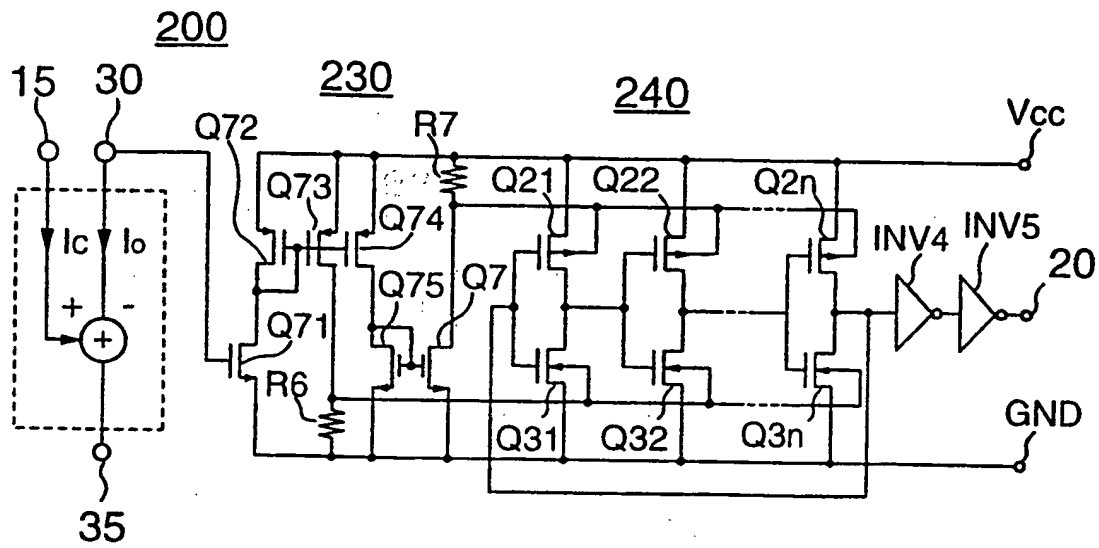
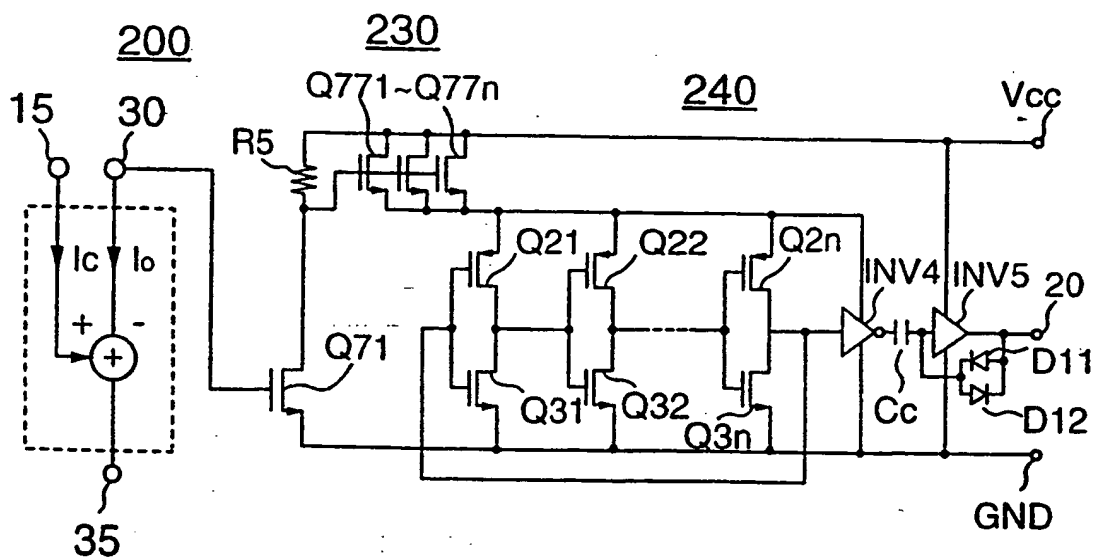


FIG. 22



18/22

FIG. 23

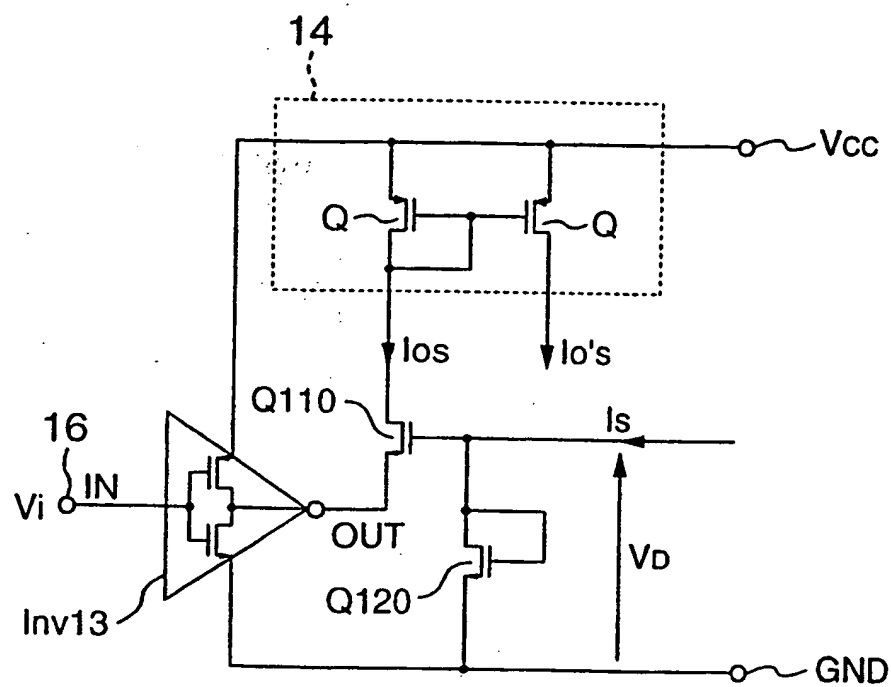
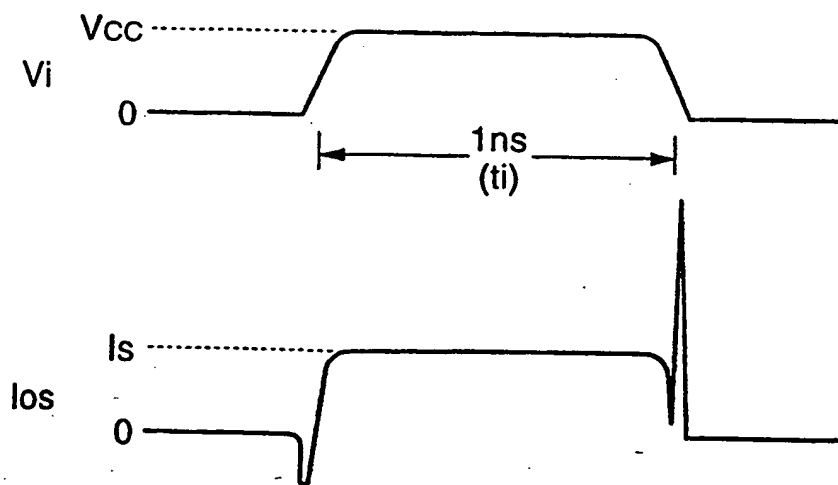
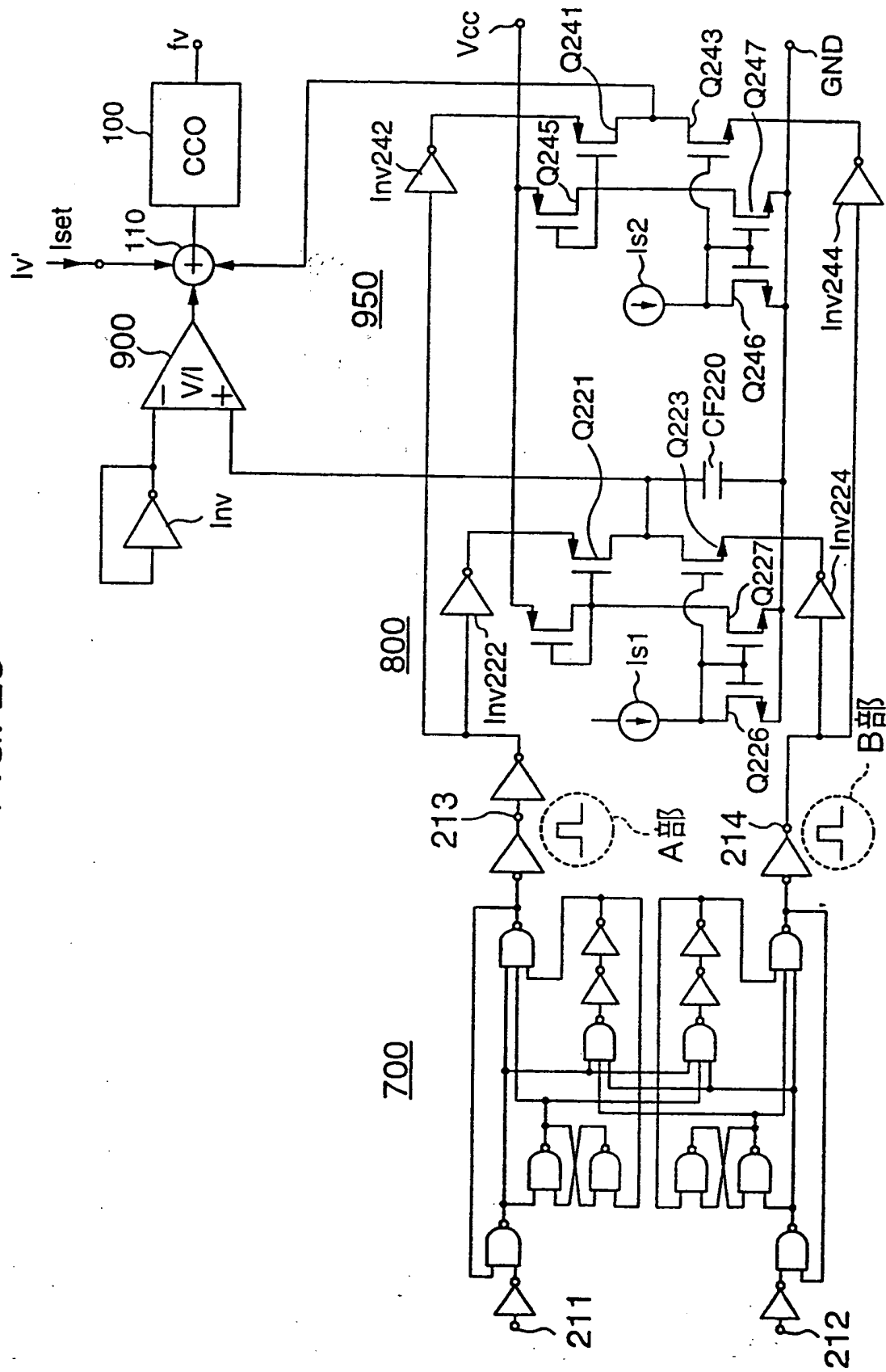


FIG. 24



19/22

FIG. 25





21/22

FIG. 28

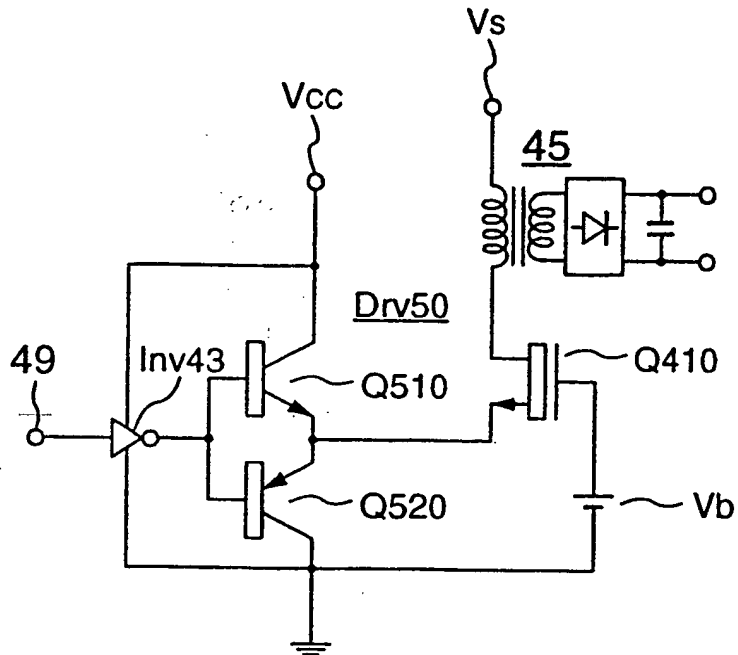
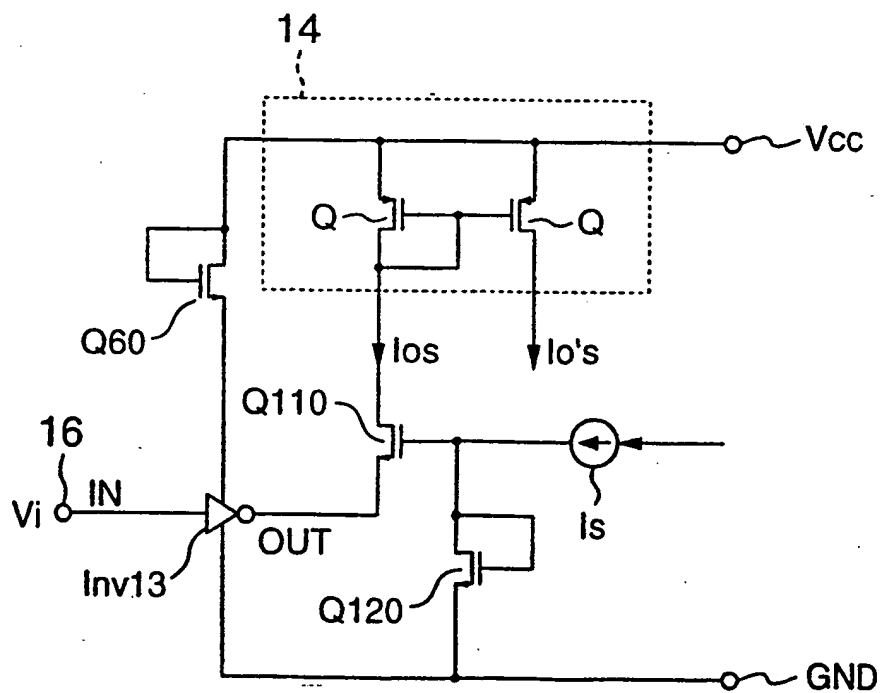
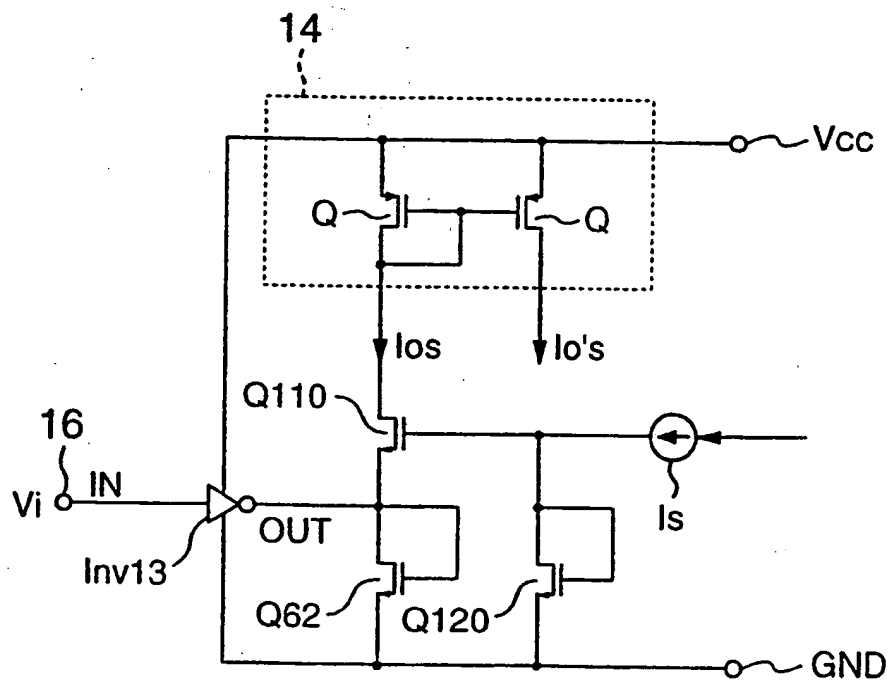


FIG. 29



22/22

FIG. 30



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02870

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>6</sup> H03L7/113, H03K17/30, G06F1/04, H03M1/80

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> H03L7/08-7/113, H03K17/00-17/98, G06F1/04, H03M1/00-1/88, G01R23/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1998 Toroku Jitsuyo Shinan Koho 1994-1998  
Kokai Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-112820, A (Hitachi, Ltd.), 22 April, 1994 (22. 04. 94), Fig. 1 (Family: none)	1, 4, 5
Y	JP, 6-112820, A (Hitachi, Ltd.), 22 April, 1994 (22. 04. 94), Fig. 1 (Family: none)	2, 3, 6, 7, 9-17
Y	JP, 8-139597, A (Hitachi, Ltd.), 31 May, 1996 (31. 05. 96), Figs. 1, 4 (Family: none)	2, 6
Y	JP, 6-303133, A (Oki Electric Industry Co., Ltd.), 28 October, 1994 (28. 10. 94), Fig. 1 (Family: none)	3, 7
Y	JP, 6-202763, A (Matsushita Electric Industrial Co., Ltd.), 22 July, 1994 (22. 07. 94), Figs. 1, 2 (Family: none)	9-17, 25

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
10 September, 1998 (10. 09. 98)Date of mailing of the international search report  
22 September, 1998 (22. 09. 98)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02870

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 3-212022, A (Matsushita Electric Industrial Co., Ltd.), 17 September, 1991 (17. 09. 91), Fig. 3 (Family: none)	18-23, 24, 25, 27-31
Y	JP, 2-154521, A (Mitsubishi Electric Corp.), 13 June, 1990 (13. 06. 90), Fig. 1 (Family: none)	18-23, 24, 25, 27-31
Y	JP, 3-235425, A (Fujitsu Ltd.), 21 October, 1991 (21. 10. 91), Fig. 2 (Family: none)	25
Y	JP, 63-194419, A (Hitachi, Ltd.), 11 August, 1988 (11. 08. 88), Figs. 1, 3 (Family: none)	24

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02870

## Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions stated in for example, claims 1, 14, 18 and 25 are not a group of inventions having common essential parts and achieving the same purpose, and therefore they are considered as different inventions.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.  
☐ No protest accompanied the payment of additional search fees.

<b>A. 発明の属する分野の分類 (国際特許分類 (IPC))</b> Int Cl <sup>8</sup> H03L 7/113, H03K 17/30, G06F 1/04, H03M 1/80		
<b>B. 調査を行った分野</b> 調査を行った最小限資料 (国際特許分類 (IPC)) Int Cl <sup>8</sup> H03L 7/08-7/113, H03K17/00-17/98, G06F1/04 H03M 1/00-1/88, G01R 23/06		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1998年 日本国公開実用新案公報 1971-1998年 日本国登録実用新案公報 1994-1998年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
<b>C. 関連すると認められる文献</b>		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 6-112820, A (株式会社日立製作所), 22, 4 月, 1994 (22. 04. 94) 第1図 (ファミリーなし)	1, 4, 5
Y	JP, 6-112820, A (株式会社日立製作所), 22, 4 月, 1994 (22. 04. 94) 第1図 (ファミリーなし)	2, 3, 6, 7, 9-17
Y	JP, 8-139597, A (株式会社日立製作所), 31, 5月 1996 (31. 05. 96) 第1, 4図 (ファミリーなし)	2, 6
Y	JP, 6-303133, A (沖電気工業株式会社), 28, 10 月, 1994 (28. 10. 94) 第1図 (ファミリーなし)	3, 7
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 10. 09. 98	国際調査報告の発送日 22.09.98	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 彦田 克文 電話番号 03-3581-1101 内線 3537	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 6-202763, A (松下電器産業株式会社), 22, 7月, 1994 (22. 07. 94) 第1, 2図 (ファミリーなし)	9-17, 25
Y	JP, 3-212022, A (松下電器産業株式会社), 17, 9月, 1991 (17. 09. 91) 第3図 (ファミリーなし)	18-23, 24, 25, 27-31
Y	JP, 2-154521, A (三菱電機株式会社), 13, 6月, 1990 (13. 06. 90) 第1図 (ファミリーなし)	18-23, 24, 25, 27-31
Y	JP, 3-235425, A (富士通株式会社), 21, 10月, 1991 (21. 10. 91) 第2図 (ファミリーなし)	25
Y	JP, 63-194419, A (株式会社日立製作所), 11, 8月, 1988 (11. 08. 88) 第1, 3図 (ファミリーなし)	24

## 第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの1の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの2の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

例えば請求の範囲第1項と第14項と第18項と第25項にそれぞれ記載された発明は、共通の主要部を有し、かつ同じ目的を達成する発明であるとは認められないため、これらの請求の範囲に記載された発明は、互いに異なる発明であると認められる。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。